

PCT

世界知的所有権機関
国際事務局

特許協力条約に基づいて公開された国際出願

(51) 国際特許分類6
H01L 29/786

A1

(11) 国際公開番号

WO97/06564

(43) 国際公開日

1997年2月20日(20.02.97)

(21) 国際出願番号

PCT/JP96/02184

(22) 国際出願日

1996年8月2日(02.08.96)

(30) 優先権データ

特願平7/200657	1995年8月7日(07.08.95)	JP
特願平7/210410	1995年8月18日(18.08.95)	JP
特願平7/210412	1995年8月18日(18.08.95)	JP

(71) 出願人 (米国を除くすべての指定国について)

株式会社 日立製作所(HITACHI, LTD.)(JP/JP)

〒101 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP)

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ)

堀内勝忠(HORIUCHI, Masatada)(JP/JP)

〒184 東京都小金井市貫井南町五丁目13-7 Tokyo, (JP)

池田隆英(IKEDA, Takahide)(JP/JP)

〒359 埼玉県所沢市中新井四丁目41-11 Saitama, (JP)

山口 憲(YAMAGUCHI, Ken)(JP/JP)

〒183 東京都府中市本町二丁目20-15-102 Tokyo, (JP)

中村 徹(NAKAMURA, Tohru)(JP/JP)

〒181 東京都三鷹市上連雀二丁目11-17 Tokyo, (JP)

(74) 代理人

弁理士 浅村 皓, 外(ASAMURA, Kiyoshi et al.)

〒100 東京都千代田区大手町2丁目2番1号

新大手町ビル331 Tokyo, (JP)

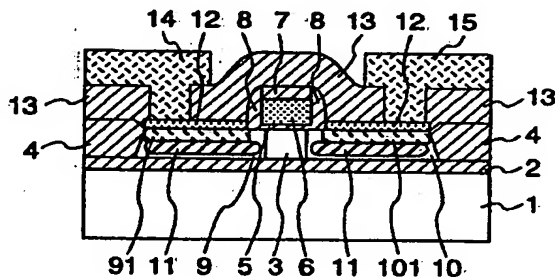
(81) 指定国 CN, JP, KR, SG, US, 欧州特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

添付公開書類

国際調査報告書

(54)Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

(54)発明の名称 半導体装置及びその製造方法



(57) Abstract

A parasitic bipolar where minority carriers (AS) produced in an SOI substrate (1) by injecting the carriers (AS) into the source of a MOS transistor formed on the substrate (1). An area having a conductivity which is opposite to that of the source diffused layer (11) of the MOS transistor and a recombination center mechanism is formed in the source diffused layer (11).

(57) 要約

SOI基板(1)上に形成されたMOSトランジスタのソース拡散層内(11)にソース拡散層と反対導電型よりなり、再結合中心機構を有する領域を形成し、

5 基板に発生した少数キャリア(AS)をソース内に注入消滅させる寄生バイポーラを構成する。

情報としての用途のみ

PCTに基づいて公開される国際出願をパンフレット第一頁にPCT加盟国を特定するために使用されるコード

AL	アルバニア	DE	ドイツ	LI	リヒテンシュタイン	PL	ポーランド
AM	アルメニア	DK	デンマーク	LC	セントルシア	PT	ポルトガル
AT	オーストリア	EE	エストニア	LK	スリランカ	RU	ロシア連邦
AZ	アゼルバイジャン	ES	スペイン	LR	リベリア	SE	スウェーデン
BA	ボスニア・ヘルツェゴビナ	FI	フィンランド	LT	リトアニア	SG	シンガポール
BB	バルバドス	FR	フランス	LU	ルクセンブルグ	SI	スロベニア
BE	ベルギー	GB	イギリス	LV	ラトヴィア	SK	スロバキア
BF	ブルキナ・ファソ	GR	ギリシャ	MC	モナコ	SN	セネガル
BG	ブルガリア	GN	ギニア	MD	モルドヴァ共和国	SZ	スワジランド
BJ	ベナン	HU	ハンガリー	MG	マダガスカル	TD	チャド
BR	ブラジル	IE	アイルランド	MK	マケドニア共和国	TG	トーゴ
BY	ベラルーシ	IL	イスラエル	ML	マリ	TH	タイ
CA	カナダ	IS	アイスランド	MN	モンゴル	TM	トルクメニスタン
CF	中央アフリカ共和国	IT	イタリア	MR	モリタニア	TR	トルコ
CG	コンゴ	JP	日本	MW	モザンビーク	TT	トリニダード・トバゴ
CH	スイス	KE	ケニア	MX	メキシコ	UG	ウガンダ
CI	コート・ジボアール	KR	韓国	NE	ニジェール	UZ	ウズベキスタン
CM	カメルーン	KZ	朝鮮民主主義人民共和国	NL	オランダ	US	アメリカ合衆国
CN	中国		朝鮮民主主義人民共和国	NO	ノルウェー	UZ	ウズベキスタン
CU	キューバ		カザフスタン	NZ	ニュージーランド	VN	ベトナム
CZ	チェコ共和国						

明 細 書

半導体装置及びその製造方法

5 技術分野

本発明は半導体装置に係り、特に絶縁膜上に構成された低寄生容量で高速動作可能な高性能MOS電界効果型トランジスタ及びその製造方法に関する。

背景技術

- 絶縁膜上の単結晶半導体層にトランジスタを構成する手法はSOI（シリコン・オン・インシュレータ：Silicon On Insulator）構造として公知であり、図1に示されるような構造が1995年春季応用物理学会講演予稿集755ページ等に記載されている。MOS電界効果型トランジスタ（以降単にMOSと略記する）は支持基板1から厚い絶縁膜2により隔離された単結晶シリコン（以下Si）膜3に構成される。図1で、4は素子間分離絶縁膜、5はゲート絶縁膜、6はゲート電極、7はゲート保護絶縁膜、8はゲート側壁絶縁膜、9及び10はn型高濃度拡散層で各々ソース、ドレイン領域である。図1のようなSOI・MOSは直下に厚い絶縁膜2を有しているためドレイン接合容量、及び配線寄生容量が従来MOSに比べて1/10程度にまで低減できる特徴を有している。更にMOSが基板から絶縁分離されているため α 線照射による誤動作、及びラッチアップ現象を根本的に解消できる等の特徴を有している。

- 従来SOI・MOSの欠点は単結晶Si膜3が支持基板1から絶縁されているため、ドレイン強電界等により発生した少数キャリアが単結晶Si膜3内に過渡的に蓄積され、これにより閾電圧値が変動する、いわゆる、基板浮遊効果にある。この効果は少数キャリアの単結晶Si膜3内蓄積による電位上昇に伴い、ソースからの多数キャリア流入が生じる寄生バイポーラ効果でもある。n導電型SOI・MOS（以下nMOSと略記）では正孔が蓄積され、閾電圧値は負値方向に変動し、電流電圧特性に特異なこぶが観測されたり、オフ状態における漏洩電流の増大、更にはソース・ドレイン間耐圧の低下をもたらす。基板浮遊効果は微小電流差の検出を要する差動増幅器やアナログ回路にとっては致命的な欠点となる恐

れがある。

図1のSOI・MOSは基板浮遊効果を解消するために提案された構造で、ソース拡散層9内にゲルマニウム（以下Ge）をイオン注入することによりGe成分比で10%程度のSiGe混晶16を構成している。

- 5 図2は図1のSOI・MOSでドレイン電圧 V_{ds} が印加された状態におけるチャンネルに沿ったエネルギーバンド図である。 E_{fn} は擬フェルミ準位、 E_i は真性フェルミ準位である。SiGe混晶16の導入によりバンドギャップは約0.1eV狭まり、ソースにおける価電子帯 E_v は破線で示されるように構成される。ソース近傍における正孔に対する拡散電位差が低減される。これによりド
10 レイン近傍で発生し、単結晶Si膜3に注入された正孔は容易にソース内に拡散し、消滅する。伝導帯 E_c はSiGe混晶により影響を受けず、多数キャリアである電子の振舞には悪影響は無いとされている。

発明の開示

- 本発明の課題は図1で示される構造がSOI・MOSの基板浮遊効果解消に有
15 効であるのはnMOSに限られる事実に鑑み、p導電型MOS（以下pMOSと略記）、及び相補型MOS（以下CMOSと略記）にも適用可能な基板浮遊効果解消構造を提供することにある。即ち、SiGe混晶の存在はpMOSでもソース拡散層近傍における価電子帯の拡散電位差を低減し、伝導帯の拡散電位差が保存される。この状況は多数キャリアである正孔はパンチスルー現象を起こし、ゲ
20 ート電位で制御できなくなること、逆に単結晶Si膜3に注入された少数キャリアの電子はソース内に注入できず基板浮遊効果を解消できないことを意味する。

- 本発明の他の課題はSiGe混晶形成に必須のGeイオン注入工程の問題点を解消することにある。即ち、Geイオンの注入には通常 GeH_4 （ゲルマン）をイオン源として用いるが GeH_4 は極めて分解し易い物質であり、注入イオンを
25 安定に供給することが難しく、イオン電流の制御、従ってイオン注入条件の制御に困難を伴うこと、及びイオン化室を汚染するため他のイオン注入との共用が難しくGe専用のイオン注入装置の導入が不可欠等の問題がある。

本発明の目的は既存の共用可能な半導体製造装置のみで製造可能で、従って廉価な製造方法により基板浮遊効果解消構造を提供することにある。

本発明の動作原理を要約すれば、基板浮遊効果がドレインと基板をエミッタ及びベースとする寄生バイポーラ効果に基づくため、上記バイポーラの電流増幅率より大きな電流増幅率を有し、基板をエミッタとする第二の寄生バイポーラをソース拡散層に形成することにより基板への少数キャリア蓄積を解消することである。以下に上記課題を解消するための手段を更に詳細に説明するが理解を容易にするためにnMOSを例として説明する。

図3は本半導体装置の一実施例におけるソース拡散層の深さ方向不純物分布図である。ソース拡散層底部は埋込酸化膜により外部から分離された構成を仮定している。n型ソース内に高濃度p型拡散層を形成する。形成方法はソース拡散層底部に達するように比較的低濃度の第一のn型不純物層をリン(P)のイオン注入とその後の熱処理によりまず形成する。この状態より高濃度ボロン(B)、及び更に高濃度の砒素(As)のイオン注入を施して表面よりnpn構成の不純物分布を形成する。ドレイン領域にもソースと同一の不純物分布が形成される。

図4Aは上記不純物分布を有するnMOSに関するエネルギー帯図であり、ドレイン電圧 V_{ds} が印加されている。図で、価電子帯 E_v 、及び伝導帯 E_c として実線で表示されているのはSOI表面のチャネル形成領域の、破線で示されるのは外部から分離されたp型拡散層近傍におけるエネルギー帯図である。チャネル領域における電子、即ち多数キャリアは実線に示されるエネルギー帯図に従って伝導し、従来と変わらない。

ドレイン強電界によりドレイン近傍で発生し、チャネル下部のp型単結晶Si膜内に蓄積される正孔はチャネル下部の低濃度p基板をエミッタ p^-_e 、ソース内に形成されたp型拡散領域をコレクタ p^+_c 、両領域に挟まれたn型拡散領域をベース n^-_b とするpnpトランジスタにより伝導が制御される。

図4Bはpnpトランジスタの動作原理を説明するためのソース近傍を示す等価回路図である。図で、ソース表面の高濃度n型拡散層 n^+_s とコレクタ p^+_c 間は(1)ダイオードで表わせる場合と、(2)破線のように短絡してソース電位に固定する場合の両構成が可能である。コレクタ電流密度 J は次式で表わされる。

$$J \approx (q \cdot D_n \cdot n_i^2 / N_b \cdot W_b) \cdot \exp(q \cdot V_{BE} / kT) \cdots (\text{数} 1)$$

ここで $N_B \cdot W_B$ はガンメル数と称されるベース領域内キャリア数であり通常のトランジスタでは 10^{12} 程度の値である。 q は電子の電荷量、 D_n は拡散係数、 n_i は真性密度、 N_B はベース内のアクセプタ不純物密度、 W_B はベース幅、 V_{BE} はベース・エミッタ間電圧、 kT は熱エネルギーである。エミッタである低濃度 p 基板の電位は蓄積正孔密度、埋込酸化膜容量 C_{box} 、及び V_{ds} で決定される。 V_{BE} は $n^+ \cdot p^+$ 間がダイオードで表せる場合、即ち、正常な pn 接合が形成されている場合、 $n^+ \cdot p^+$ 間の拡散電位差のために十分大きな値をとることができない。

従ってエミッタからコレクタに向けて注入される正孔はベースである低濃度型
10 拡散層に蓄積され、ベース・コレクタ間空乏層で速やかに再結合して消滅する。 $n^+ \cdot p^+$ 間が短絡されている場合、コレクタは接地電位であり V_{BE} は十分に大きな値を取り得て正孔はソース電極へ流出する。 n^+ と p^+ 間の短絡は高濃度 As イオン注入により pn 接合面への結晶欠陥の形成、又は p 型高濃度層上への n 型不純物添加多結晶 Si 直接形成により実現できる。即ち、チャンネル下
15 部の p 型単結晶 Si 膜内に蓄積される正孔はソース拡散層内の $p^+ n^+$ の形成によりソース拡散層内へ引抜くことができる。従って、本発明により $SOI \cdot MOS$ の基板浮遊効果を解消することができる。

この構造で、ソース内 p 型高濃度層は低濃度 n 型拡散層でドレインと相対する側面と底面を、表面部は高濃度 n 型拡散層で覆う構造が望ましい。これは側面に
20 おける基板内蓄積正孔のソース内への引抜き効率を上げるため、側面でのガンメル数を小さく設定し、表面部でのガンメル数を大きく設定することにより表面チャンネル部での基板電位の上昇に基づくソースから基板への電子放出を抑える効果が生じる。ソース内 p 型高濃度層側面の低濃度 n 型拡散層幅も同様の理由により狭いことが望ましい。

25 本発明の手法はゲート電極又はゲート側壁絶縁膜をイオン注入マスクとして実施するためドレイン拡散層内にも $p^+ n^+$ 接合が形成される。ドレイン電圧は p 型拡散層にも印加されるが周囲を n 型拡散層に囲われ、同様にドレイン電圧が印加されるのでドレインからの正孔放出は生じない。従って、本発明に基づく $SOI \cdot MOS$ は回路動作条件によりドレインとソースを入替えて両方向動作させる、

いわゆる、トランスマOSに対して有効である。更にp型拡散層の底面部にもn型拡散層を形成し、基板からp型拡散層を隔離する構成によりドレイン・基板間容量にp型拡散層の存在は影響されない。即ち、従来SOI・MOSの最大特徴である厚い埋込酸化膜による寄生容量低減効果は維持される。なお、pMOSでは上記した不純物伝導型を入替えて実施すれば同様に基板浮遊効果が解消される。即ち、本発明はSOI・CMOSの基板浮遊効果の解消に有効である。

本発明に基けば従来SOI・MOSの最大の欠点であった基板浮遊効果に基づく閾電圧の過渡的値変動、異常電流電圧特性、更にはソース・ドレイン耐圧低下等の問題を解消することができる。これにより低寄生容量、製造工程数低減等SOI・MOSの本来の特徴を活かした高速動作可能な半導体装置を専用のイオン注入装置等新規の半導体装置製造装置の導入無しに廉価に提供することができる。

また、図5Aは本半導体装置の他の実施例におけるソース拡散層近傍の拡大断面図、図5Bは本半導体装置の等価回路図であり、図6Aはドレイン電圧が接地電圧におけるソース近傍の二次元エネルギーバンド図、図6Bはソース領域の高濃度p領域と高濃度n領域のでエネルギーバンドを重合わせて示した図である。ソース領域底部は埋込酸化膜により外部から分離された構成を仮定している。図5Aにおいて、ソース領域に形成する第二の寄生pnpバイポーラはp型基板領域をエミッタ p^- 、n型低濃度ソース拡散層をベース n^- 、ソース内のp型高濃度領域をコレクタ p^+ として作用させる。ベースは低濃度ソース拡散層による抵抗成分を介して接地電位にある高濃度ソース領域に接続される。本半導体装置の第二の寄生バイポーラにおいてはベース電位は固定されている。

正孔の注入効率向上は図6Bに示すごとく、十分に低不純物のベース濃度の条件の基にエミッタ・コレクタ間を接近させて正孔に対する拡散電位差を低減することにより可能となる。上記寄生pnpバイポーラを効率良く動作させるためにはコレクタに注入された正孔を速やかに消滅させる機構が要求される。上記機構として、本半導体装置においては結晶欠陥等に基づく再結合中心を利用する。再結合中心による正孔消滅機構は不純物濃度にも依存することが良く知られており、p型不純物濃度は可能な限り高濃度であることが望ましい。再結合中心による正

孔消滅に要する電子はソース表面のn型高濃度領域n⁺とp型高濃度コレクタp⁺間が電子注入に対して順方向の関係にあり、十分に供給される。

即ち、ドレイン強電界により発生し、p型基板領域内に蓄積された正孔はソース領域内に構成されたバイポーラによりソース領域に引抜かれ、ソース電流に変換されることにより基板浮遊効果は解消される。上記のソース電流密度Jは次式で表わされる。

$$J \approx (q \cdot D_n \cdot n_i^2 / N_B \cdot W_B) \cdot \exp(q \cdot V_{BE} / kT)$$

ここでqは電子の電荷量、D_nは拡散係数、n_iは真性密度、N_Bはベース内のアクセプタ不純物密度、W_Bはベース幅、V_{BE}はベース・エミッタ間電圧、kTは熱エネルギーである。N_B・W_Bはガンメル数と称されるベース領域内キャリア数であり通常のトランジスタでは10¹²程度の値である。エミッタである低濃度p基板の電位は蓄積正孔密度、埋込酸化膜容量C_{Box}、及びドレイン電圧V_{ds}で決定される。

本半導体装置の形成方法としてはゲート電極をマスクとして、SOI層直下の厚いシリコン酸化膜に達するごとく比較的低濃度の第一のn型不純物層をリン(P)のイオン注入とその後の熱処理によりまず低濃度n型拡散層を形成する。この状態よりゲート側壁絶縁膜の形成し、ゲート電極及びゲート側壁絶縁膜をマスクとする高濃度ボロン(B)のイオン注入を施し、SOI層底面部を非晶質化させる。

上記非晶質はその後の短時間高温熱処理においても底部が酸化膜であるため再結晶化熱処理による単結晶化はゲート直下の単結晶SOI層側面部を除いて行なわれず、多結晶化が進行するだけである。上記多結晶、又は非晶質性は熱処理条件により制御可能であり、再結合中心特性を制御する。上記のp型高濃度領域の形成において、その側面に残置させ、ベース領域として作用するソース低濃度n型拡散層幅はゲート側壁絶縁膜の膜厚により制御する。SOI層表面に構成するn型高濃度領域はイオン注入法による形成か、又は上記p型高濃度領域表面の一定厚さを選択除去した後、堆積法による半導体膜を残置して形成しても良い。後者の場合、より急峻な高不純物分布が実現でき、より再結合特性に優れた、従ってより基板浮遊効果解消に有効な不純物分布が可能となる。

本発明の手法はゲート電極、及びゲート側壁絶縁膜をマスクとして実施するため、ドレイン領域にも同様の構造が形成される。ドレインにおいてはドレイン電圧がn型高濃度領域に印加されるが、ドレインにおけるn型高濃度領域と底部のp型高濃度領域の関係は正孔注入に関して逆方向特性の関係にあるため接合リーク電流の増加は無視でき、NOSトランジスタとしての動作に何ら支障は生じない。

なお、上記の説明において、p導電型とn導電型を置換えれば本半導体装置による基板浮遊効果解消がpMOSに対しても有効であることは明らかである。

図5A、5Bに示した構造、即ちp型低濃度SOI基板エミッタ、n型低濃度拡散層をベース、p型高濃度領域をコレクタとし、該コレクタ領域上にn型高濃度領域を有する構造において、n型高濃度領域を接地電位とし、p型低濃度SOI基板エミッタに正電圧を印加した時のエミッタを流れる正孔電流をベース幅パラメータとして数値解析により求めた結果を図7に示す。上記解析において、厚さ50nm、 $4 \times 10^{17}/\text{cm}^3$ なる一様濃度分布のp型SOI層をエミッタとし、SOI層底部の埋込絶縁膜に接するごとく構成された厚さ10nm、接合深さ10nm、最大不純物濃度 $2 \times 10^{19}/\text{cm}^3$ のp型コレクタ、該コレクタ上に構成され、表面で最大不純物濃度 $2 \times 10^{20}/\text{cm}^3$ を有し、接合深さ40nmのn型高濃度領域、n型ベースは $5 \times 10^{17}/\text{cm}^3$ なる最大濃度のガウス分布を有し、コレクタ、及びn型高濃度領域とエミッタ間を分離するごとく構成している。なお、再結合時間はコレクタ領域で $1/10^{10}$ 秒、他の領域では $1/10^4$ 秒を仮定している。再結合時間 $1/10^{10}$ 秒なる値は高不純物濃度多結晶Si膜では通常観測される値である。

図7には参考のためにp型コレクタ領域を有しない通常ソース構造の電子電流、及び正孔電流も細線で示した。エミッタに流入する電子電流に関しては本半導体装置のものも従来構造のものと一致し、差は見られず、印加電圧に対して指数関数に比例した増加傾向を示す。正孔電流に関しては閾電圧までエミッタから流出する（負の正孔電流）が、閾電圧以上から正の正孔電流となり、印加電圧に対して指数関数に比例して増加する。通常構造においても正孔電流は電子電流より二桁程度大きな値を示す。本半導体装置構造の場合、ベース幅が40nm以下の条件

で閾電圧値近傍での正孔電流は従来構造に比べて三桁程度大きく、閾電圧も 0.2 V の低下が見られる。上記の意味するところは本半導体装置構造では正孔電流に対するソース拡散電位が従来構造に比べて 0.2 eV 低下されたことを示している。上記の値は公知のソース内 SiGe 混晶形成によるソース拡散電位の低下

5 値 0.1 eV の 2 倍であり、基板浮遊効果解消が更に改善されることを示している。上記閾電圧の低下はベース幅の増加と共に解消される方向に向かうが、0.1 μm のベース幅でも従来構造に比べて 0.04 V の低下が観測される。即ち、本半導体装置構造において、ベース幅は 0.1 μm 以下であることが望ましい。

図 7 の結果はエミッタに正の電圧を印加する順方向特性に関するものである。

10 n 型高濃度領域に正電圧を印加する逆方向特性に関しても数値解析を実施したが、3 V までの解析結果では電流は計算誤差範囲内の $1/10^{13}$ から $1/10^{15}$ A の間の値で、通常構造のものと差違が見られなかった。この結果はソース内と同様の構造をドレイン内に構成してもリーク電流の増加等の問題が生じないことを示している。

15 本発明に基づく半導体装置はソース、ドレインに関して対称な構造を有しており、回路動作条件によりドレインとソースを入替えて両方向動作させる所謂トランスファ MOS 等に対しても有効である。更にソース・ドレイン内 p 型高濃度領域の底面部にも n 型拡散層を形成し、基板から p 型拡散層を隔離する構成、又は p 型高濃度領域を所望個所のみに限定するとき構成にすることによりドレイン

20 ・基板間容量に p 型高濃度領域の存在を無視できる程度に低減できる。

さらに、本発明のもう一つ別の実施例の動作原理を要約する。理解を容易にする為に nMOS を例として説明する。本発明においてはドレイン近傍で発生し、基板内に蓄積される正孔を速やかにソース拡散層内に注入、消滅させる。上記手段として、チャネル直下の p 型基板領域とソース拡散層間に形成される拡散電位

25 差が小さい領域、即ち十分に低濃度の n 型拡散層領域をソース高濃度拡散層に隣接して設ける。更に該 n 型低濃度拡散層領域内に正孔に対して再結合中心として作用する領域を設け、n 型低濃度拡散層領域内に注入された正孔を消滅させる。正孔消滅に要する電子はソース表面の n 型高濃度拡散層領域から供給される。再結合中心による正孔消滅機構として本発明においては結晶欠陥等に基づく再結合

中心を利用する。

- 図8は本半導体装置におけるソース拡散層近傍の拡大断面図であり、図9はドレイン電圧が接地電圧におけるソース近傍のエネルギーバンド図である。ソース領域底部は埋込酸化膜により外部から分離された構成を仮定している。図8において、高濃度ソース拡散層による従来ソース構造の場合のエネルギーバンドも破線で示したが本発明構造において、正孔に対する拡散電位差の低下は明らかである。低濃度拡散層の不純物濃度は伝導型が変わらない範囲で低い方が良く $10^{15}/\text{cm}^3$ 以上、 $10^{18}/\text{cm}^3$ 以下が望ましい。再結合中心として作用する結晶欠陥の形成はn型低濃度拡散層における正孔に対する拡散電位差を増大させない元素によるイオン注入を施し、SOI層底面部を非晶質化させる。上記非晶質はその後の短時間高温熱処理においても底部が酸化膜であるため再結晶化熱処理による単結晶化はゲート直下の単結晶SOI層側面部を除いて行なわれず、多結晶化が進行するだけである。上記多結晶、又は非晶質性は熱処理条件により制御可能であり、再結合中心特性を制御できる。
- 15 MOS型半導体装置の主流であるCMOS半導体装置に本発明手法を適用するに当り、nMOSとpMOSを各々個別に適用することは製造工程数の増加、及び良品歩留りの低下を招き、製造コストの上昇につながる。従って、再結合中心を形成するイオン注入源としてはn型、及びp型低濃度拡散層における少数キャリアに対する拡散電位差を増大させない元素を同一工程でpMOS及びnMOS
- 20 の各ソース低濃度拡散領域にイオン注入させ、再結合を形成することが望ましい。上記観点からSi半導体によるMOS半導体装置においてはイオン注入源としてP、B、As、Sb、Gaのごとく容易に活性化してn、又はp導電型を形成する元素以外の元素であることが望ましい。更に、イオン注入により半導体基板を非晶質化する元素であることが望ましく、原子質量が10以下の元素は好ましくない。
- 25 ない。Si半導体内において拡散係数が異常に大きく信頼性を損なうNa、Kのごときアルカリ金属、Mgを含むアルカリ土類金属も好ましくない。本発明においては半導体を構成するSi、Ge、C等の14族元素、F、Cl等のハロゲン元素、Ne、Ar等の希ガス元素が望ましい。特に廉価で、供給も安定し、イオン化が容易で且つ安定なSi、C、Ne、Ar、Cl等の元素が最も望ましい。

本半導体装置の一形成方法としてはまずゲート電極をマスクとして低濃度、及び高濃度のソース・ドレイン拡散層を形成する。上記低濃度拡散層はSOI層直下の厚いシリコン酸化膜に達するとイオン注入とその後の熱処理により形成する。この状態よりゲート側壁絶縁膜の形成し、ゲート電極及びゲート側壁絶縁膜をマスクとする例えばSiのイオン注入をSOI層直下の厚いシリコン酸化膜に達するとく施して上記酸化膜界面領域のSOI層を非晶質化させる。上記非晶質領域はその後の熱処理によっても界面部は単結晶化されず、微少粒界よりなる多結晶化され、再結合中心として機能する。再結合中心領域とチャネル領域SOI基板間隔、即ちソース低濃度n型拡散層幅はゲート側壁絶縁膜の膜厚により制御する。上記ソース低濃度n型拡散層幅は少数キャリアが容易に再結合中心領域に達し、消滅するために100nm以下であることが望ましい。SOI層表面に構成するn型高濃度ソース領域は上記再結合中心領域の形成後、その表面部の一定厚さを選択除去した後、堆積法による半導体膜を残置して形成しても良い。

本半導体装置の他の形成方法としては従来製造方法に基づき所望の拡散層構造を有するソース・ドレイン領域を形成した後、ソース電極との接続の為のコンタクト穴形成において、上記コンタクト穴から選択的にSOI層直下の厚いシリコン酸化膜に達する低濃度拡散層形成のイオン注入を施す。しかる後、上記コンタクト穴寸法を一定幅縮小するとく側壁膜を設け、該側壁膜を注入マスクとする再結合中心領域形成のイオン注入をSOI層直下の厚いシリコン酸化膜に達するとく施しても良い。

本発明の手法はゲート電極及びゲート側壁絶縁膜、又はコンタクト穴をイオン注入マスクとして実施するため、ドレイン領域にも同様の構造が形成される。ドレインにおいてはドレイン電圧がn型高濃度領域に印加されるが、ドレインにおけるn型高濃度領域と底部の再結合中心領域との関係は正孔注入に関して逆方向特性の関係にあるため接合リーク電流の増加は無視でき、MOSトランジスタとしての動作に何ら支障は生じない。

図8に示した構造において、n型高濃度領域を接地電位とし、p型低濃度SOI基板に正電圧を印加した時に流れる正孔電流を再結合中心領域とチャネル領域SOI基板間隔のパラメータとして数値解析により求めた結果を図6に示す。

上記解析には厚さ 300 nm、 $4 \times 10^{17} / \text{cm}^3$ なる一様濃度分布の p 型 SOI 層を用い、再結合中心領域とチャネル領域 SOI 基板間間隔、即ちソース低濃度 n 型拡散層幅をパラメータとした。ソース低濃度 n 型拡散層は最大濃度 $1 \times 10^{16} / \text{cm}^3$ のガウス分布を有し、SOI 層底部の埋込絶縁膜に接するごとく構成した。

- 5 再結合時間は再結合中心領域で $1 / 10^{10}$ 秒、他の領域では $1 / 10^4$ 秒を仮定している。再結合時間 $1 / 10^{10}$ 秒なる値は多結晶 Si 膜では通常観測される値である。

- 図 10 には参考のために再結合中心領域を有しない通常ソース構造の電子電流、及び正孔電流も細線で示した。電子電流に関しては本半導体装置のものも従来構造のものと一致し、差は見られず、印加電圧に対して指数関数に比例した増加傾向を示す。正孔電流に関しては印加電圧に対して指数関数に比例した電流が流れ始める閾電圧が存在し、閾電圧以下では印加電圧ゼロで電流がゼロになるごとく振舞う。通常構造においても正孔電流は電子電流より二桁程度大きな値を示す。本半導体装置構造の場合、ソース低濃度 n 型拡散層幅が 40 nm 以下の条件で閾電
- 10 圧値近傍での正孔電流は従来構造に比べて三桁程度大きく、閾電圧も 0.2 V の低下が見られる。上記の意味するところは本半導体装置構造では正孔電流に対するソース拡散電位が従来構造に比べて 0.2 eV 低下されたことを示している。上記の値は公知のソース内 Si Ge 混晶形成によるソース拡散電位の低下値 0.1 eV の 2 倍であり、基板浮遊効果解消が公知手法に比べて更に改善されること
- 15 を示している。上記閾電圧の低下はベース幅の増加と共に解消される方向に向かうが、0.1 μm のソース低濃度 n 型拡散層幅でも従来構造に比べて 0.04 V の低下が観測される。即ち、本半導体装置構造において、ソース低濃度 n 型拡散層幅は 0.1 μm 以下であることが望ましい。

- 図 10 の結果はチャネル領域 SOI 基板に正の電圧を印加する順方向特性に関するものである。n 型高濃度領域に正電圧を印加する逆方向特性に関しても数値解析を実施したが、3 V までの解析結果では電流は計算誤差範囲内の $1 / 10^{13}$ から $1 / 10^{15}$ A の間の値で、通常構造のものと差違が見られなかった。この結果はソース内と同様の構造をドレイン内に構成してもリーク電流の増加等の問題が生じないことを示している。
- 25

- 本発明に基づく半導体装置はソース、ドレインに関して対称な構造を有しており、回路動作条件によりドレインとソースを入替えて両方向動作させる所謂トランスファMOS等に対しても有効である。更にソース・ドレイン内における再結合中心領域の存在はドレイン・基板間容量に何ら影響を与えるものでなく、従来
- 5 SOI・MOSの最大特徴である厚い埋込酸化膜による寄生容量低減効果は維持される。更に、本発明は半導体装置の導電型に関係無く有効であり、従ってSOI・CMOSの基板浮遊効果の解消に有効である。

図面の簡単な説明

- 図1は、従来の半導体装置の断面図。
- 10 図2は、従来の半導体装置における基板浮遊効果解消機構のエネルギーバンドの説明図。
- 図3は、本発明の半導体装置におけるソース拡散層の深さ方向不純物分布図。
- 図4A及び4Bは、本発明の半導体装置における基板浮遊効果解消機構を説明するエネルギーバンド図とソース等価回路図。
- 15 図5A及び5Bは、本発明の半導体装置におけるソース拡散層近傍断面図と等価回路図。
- 図6A及び6Bは、本発明の半導体装置による基板浮遊効果解消機構を説明するエネルギーバンド図。
- 図7は、本発明の半導体装置による基板浮遊効果解消機構に関する解析結果。
- 20 図8は、本発明の半導体装置における基板浮遊効果解消機構を説明するソース拡散層断面図。
- 図9は、本発明の半導体装置による基板浮遊効果解消機構を説明するエネルギーバンド図。
- 図10は、本発明の半導体装置による基板浮遊効果解消機構に関する解析結果。
- 25 図11は、本発明の第一の実施例による半導体装置の断面図。
- 図12は、本発明の第一の実施例による半導体装置の製造第一工程の断面図。
- 図13は、本発明の第一の実施例による半導体装置の製造第二工程の断面図。
- 図14は、本発明の第一の実施例による半導体装置の製造第三工程の断面図。
- 図15は、本発明の第二の実施例による半導体装置の断面図。

- 図 1 6 は、本発明の第三の実施例による半導体装置の断面図。
- 図 1 7 は、本発明の第四の実施例による半導体装置の断面図。
- 図 1 8 は、本発明の第五の実施例による半導体装置の断面図。
- 図 1 9 は、本発明の第六の実施例による半導体装置の断面図。
- 5 図 2 0 は、本発明の第七の実施例による半導体装置の製造第一工程の断面図。
- 図 2 1 は、本発明の第七の実施例による半導体装置の第二工程の断面図。
- 図 2 2 は、本発明の第 8 の実施例による半導体装置の完成断面図。
- 図 2 3 は、本発明の第 8 の実施例による半導体装置の製造工程順を示す断面図。
- 図 2 4 は、本発明の第 8 の実施例による半導体装置の製造工程順を示す断面図。
- 10 図 2 5 は、本発明の第 8 の実施例による半導体装置の製造工程順を示す断面図。
- 図 2 6 は、本発明の第 9 の実施例による半導体装置の製造工程順を示す断面図。
- 図 2 7 は、本発明の第 9 の実施例による半導体装置の製造工程順を示す断面図。
- 図 2 8 は、本発明の第 9 の実施例による半導体装置の完成断面図。
- 図 2 9 は、本発明の第 1 0 の実施例による半導体装置の完成断面図。
- 15 図 3 0 は、本発明の第 1 1 の実施例による半導体装置の完成断面図。
- 図 3 1 は、本発明の第 1 2 の実施例による半導体装置の完成断面図。
- 図 3 2 は、本発明の第 1 3 の実施例による半導体装置の製造工程順を示す断面図。
- 図 3 3 は、本発明の第 1 3 の実施例による半導体装置の完成断面図。
- 20 図 3 4 は、本発明の第 1 4 の実施例による半導体装置の完成断面図。
- 図 3 5 は、本発明の第 1 4 の実施例による半導体装置の製造工程順を示す断面図。
- 図 3 6 は、本発明の第 1 4 の実施例による半導体装置の製造工程順を示す断面図。
- 25 図 3 7 は、本発明の第 1 4 の実施例による半導体装置の製造工程順を示す断面図。
- 図 3 8 は、本発明の第 1 5 の実施例による半導体装置の製造工程順を示す断面図。
- 図 3 9 は、本発明の第 1 5 の実施例による半導体装置の製造工程順を示す断面図。

図。

図 4 0 は、本発明の第 1 5 の実施例による半導体装置の完成断面図。

図 4 1 は、本発明の第 1 6 の実施例による半導体装置の製造工程順を示す断面図。

5 図 4 2 は、本発明の第 1 6 の実施例による半導体装置の完成断面図。

図 4 3 は、本発明の第 1 7 の実施例による半導体装置の製造工程順を示す断面図。

図 4 4 は、本発明の第 1 7 の実施例による半導体装置の完成断面図。

図 4 5 A 及び 4 5 B は、本発明の実施例の適用例を説明するための随時書込み
10 読出し記憶装置の説明図。

図 4 6 A 及び 4 6 B は、本発明の実施例の別の適用例を説明するための常時書込み読出し記憶装置の説明図。

図 4 7 は、本発明の実施例の他の適用例を説明するための論理回路図。

図 4 8 は、本発明の実施例の更に別の適用例を説明するための計算機構成の説
15 明図。

図 4 9 は、本発明の実施例のもう一つ別の適用例を説明するための非同期伝送モードシステムの説明図。

図 5 0 は、本発明の第 1 8 の実施例による半導体装置の断面図。

図 5 1 は、本発明の第 1 9 の実施例による半導体装置の断面図。

20 発明を実施するための最良の形態

以下、本発明を実施例によりさらに詳細に説明する。理解を容易にするため、図面を用いて説明し、要部は他の部分よりも拡大して示されている。

図 1 1 から図 1 4 は本発明の第一の実施例による半導体装置の製造工程を示す断面図、図 1 1 はその完成断面図である。図 1 2 において、高抵抗単結晶 Si よりなる支持基板 1 上に 5 0 0 nm 厚のシリコン酸化膜（単に酸化膜と称する）2、及び 1 0 0 nm 厚の p 導電型、抵抗率 1 0 Ω cm、面方位（1 0 0）、直径 1 2. 5 cm の単結晶 Si 層 3 からなる SOI 基板に公知の MOS 電界効果型トランジスタの製造方法により素子間分離絶縁膜 4、5 nm 厚のゲート酸化膜 5、タンゲステン（W）よりなるゲート電極 6、ゲート保護絶縁膜 7、1 0 0 nm 厚のゲート側壁絶

縁膜 8 を形成した。なお、ゲート酸化膜 5 の形成に先立って、閾電圧値が 0.1 V となるように単結晶 Si 層 3 に B のイオン注入を施した。ゲート長は 200 nm である。

- この状態よりゲート保護絶縁膜 7 とゲート側壁絶縁膜 8 を注入阻止マスクとして p のイオン注入とその後の熱処理を施し、接合端が酸化膜 2 に達し、且つ実効ゲート長が 150 nm、及び表面における最大不純物濃度が $1 \times 10^{18} / \text{cm}^3$ となるように低濃度 n 型拡散層によるソース 9 及びドレイン 10 を形成した。引き続き、 BF_3 のイオン注入により低濃度 n 型ソース 9 及びドレイン 10 内部に最大不純物濃度 $2 \times 10^{19} / \text{cm}^3$ なる高濃度 p 型拡散層 11 を形成した。高濃度 p 型拡散層 11 側面接合と低濃度ソース 9、又は低濃度ドレイン接合間の最小幅は 50 nm、高濃度 p 型拡散層 11 底面に残置された低濃度 n 型拡散層は約 30 nm であった (図 12)。

- 図 12 の状態より As の低エネルギーイオン注入を行い、表面濃度 $2 \times 10^{21} / \text{cm}^3$ なる高濃度 n 型拡散層 91 及び 101 を高濃度 p 型拡散層 11 上に形成した。イオン注入工程に引き続き 1000 °C、10 秒なる短時間熱処理を施し、注入イオンの活性化を行ったが高濃度 p 型拡散層 11 上の接合は整流特性を示さず、悪いオーミック特性で高濃度 n 型拡散層 91 及び 101 と高濃度 p 型拡散層 11 は接続されていた。高濃度 n 型拡散層 91 及び 101 の接合深さは約 20 nm であった (図 13)。

- 次にスパッタリングによる 150 nm 厚の W 膜 12 を全面に被着し、少なくとも高濃度 n 型拡散層 91 及び 101 表面を覆うようにパターニングした。なお、W 膜 12 は Si 面への選択化学気相堆積法に基づいても良い (図 14)。

- 図 14 の状態より公知の半導体装置の製造方法に基づき配線保護絶縁膜 13 の堆積と所望箇所への開口、更には配線金属の蒸着とそのパターニングによるソース電極 14、ドレイン電極 15 等を含む配線を形成した (図 11)。

この製造工程を経て製造された半導体装置のソース・ドレイン間耐圧は 4.7 V とソース内の p 型拡散層 11 が構成されていない同一寸法の従来構造 SOI・MOS に比べて約 1.5 V 向上し、通常半導体基板に製造された同一寸法の MOS と同等の耐圧値を確保することができた。

また、電流・電圧特性でもキンク特性と称される異常なこぶ状特性は観測されず、正常な特性を示した。更に、ソース・ドレイン電流・ゲート電圧特性で、従来SOI・MOSで観測された低ゲート電圧におけるリーク電流の存在も観測されなかった。またリーク電流、及び閾電圧値はドレイン電圧を変化させても変化
5 が見出せなかった。

これらの特性から、本実施例に基づく半導体装置では基板浮遊効果に伴う諸特性から完全に解消されたことが明らかとなった。本実施例に基づく半導体装置の電流・電圧特性が正常な特性を示すためn型高濃度拡散層91及び101と高抵抗オーミック特性を示し、ソース、及びドレイン内部に形成されたp型高濃度拡
10 散層11は何ら悪影響を及ぼさないことも判明した。これはp型高濃度拡散層11側面の領域がn型低濃度拡散層9、及び10で構成され、電流経路である表面チャネル領域がn型低濃度拡散層91、及び101で構成されているためチャネル下部基板に発生した少数キャリアである正孔はn型高濃度拡散層91ではなく、n型低濃度拡散層9を介してp型高濃度拡散層11に注入されると考えられる。
15 即ち、n型高濃度拡散層91の存在によるチャネルでの電流移送には何の影響も与えないと考えられる。

本実施例に基づく半導体装置のドレイン基板間容量も測定したがp型高濃度拡散層11の存在にも係わらず、従来SOI・MOSと同等の容量値を示し、通常半導体基板に製造された同一寸法のMOSにおける値の約1/10と小さなもの
20 であった。この結果はドレイン内のp型高濃度拡散層11はn型低濃度拡散層10により周りを囲まれており、p型高濃度拡散層11にはドレイン電界による空乏層が形成されず、容量は厚い絶縁膜2により決定されるためと考えられる。

本実施例に基づく半導体装置では単結晶Si層3が100nmと極めて薄く、チャネル領域における基板不純物濃度も $1 \times 10^{17} / \text{cm}^3$ と低く設定されている。
25 従って、単結晶Si層3内の電荷量限定により閾電圧以上のゲート電圧条件ではチャネル領域の単結晶Si層3に中性領域が存在せず、完全空乏状態となっている。これは電流駆動源であるチャネル中の可動電荷を効果的に誘起することができ、大電流化に適している。即ち、低電圧・高速動作に適していることが知られている。本実施例に基づく半導体装置では基板浮遊現象のない完全空乏型MOS

が従来半導体装置の製造方法のみで廉価に提供できることを示している。

図15は本発明の第二実施例による半導体装置の完成断面を示す図である。実施例1で、低濃度n型拡散層9、及び10の最大不純物濃度が $5 \times 10^{18}/\text{cm}^3$ 、高濃度p型拡散層11の最大不純物濃度が $1 \times 10^{19}/\text{cm}^3$ 、拡散層底部が酸化膜2に達するように設定した。また、高濃度n型拡散層91、及び101の形成を行わず、且つソースドレイン電極14、及び15が高濃度p型拡散層11に達するように配線保護膜13への開口形成工程で、単結晶Si膜を僅かにエッチングした。

本実施例の半導体装置も実施例1による半導体装置と同様にソース・ドレイン間耐圧の低下、電流電圧特性におけるこぶ状特性、及び閾電圧の負方向変動等は観測されず基板浮遊効果は見出せなかった。

図16は本発明の第三実施例による半導体装置の完成断面を示す図である。実施例1で素子間分離絶縁膜4を形成し、単結晶Si膜3の活性領域を互いに分離した後、所望の回路構成に従って活性領域の一部にイオン注入を施して低濃度n型領域31とした。低濃度n型領域31と低濃度p型領域3上に実施例1に従って、ゲート酸化膜5、ゲート電極61、ゲート保護絶縁膜7、ゲート側壁絶縁膜8を形成した。

本実施例ではゲート電極61として低抵抗多結晶Si膜を用いた。ゲート電極61ゲート側壁絶縁膜8をマスクとして低濃度n型領域31にのみ選択的にBイオンを注入し、その後の熱処理により酸化膜2に達し、表面不純物濃度が $5 \times 10^{18}/\text{cm}^3$ の低濃度p型拡散層90及び100を形成した。続いて活性領域内部で最大不純物濃度が $1 \times 10^{19}/\text{cm}^3$ で、低濃度p型拡散層90及び100内部に位置するようにAsのイオン注入を施してn型拡散層110を形成した。

低濃度p型領域3に対してはゲート電極61、ゲート側壁絶縁膜8をマスクとして選択的にPのイオン注入を行い、表面で最大濃度 $3 \times 10^{18}/\text{cm}^3$ となり酸化膜2に達する低濃度n型拡散層を形成し、ソース9、及びドレイン10とした。続いて、 $1 \times 10^{22}/\text{cm}^3$ 表面濃度のGeのイオン注入をソース9、及びドレイン10内に施してSi・Ge共晶層16をソース9及びドレイン内に形成した。

その後、実施例1に従い配線保護絶縁膜13の堆積と所望箇所への開口、配線

用金属膜の蒸着とそのパターニングにより接地電位線17、出力端子18、及び電源電圧線19を含む配線を形成した。

本実施例のCMOSではpMOS、nMOSの何れに関しても基板浮遊効果に起因する諸症状を観測することができなかった。更にnMOS閾電圧値の負方向
5 変動、pMOS閾電圧値の正方向変動によって接地電位線17と電源電圧線19間に生じるSOI・CMOS特有の基板浮遊効果に基づく貫通電流も観測されなかった。pMOSで、基板浮遊効果が見られなかったことは、チャンネル下部単結晶Si膜31に発生した少数キャリアである電子がn型拡散層110に向かって注入され、ソース低濃度p型拡散層100に達した電子がn型拡散層110とp
10 型拡散層100間の接合における空乏層で再結合により消滅するためと考えられる。

図17は本発明の第四実施例による半導体装置の完成断面を示す図である。前記第三実施例でGeのイオン注入に代えてBのイオン注入を行い、高濃度p型拡散層11を低濃度n型拡散層9及び10内部に形成した。高濃度p型拡散層11
15 は酸化膜2に達し、 $2 \times 10^{19}/\text{cm}^3$ なる最大不純物濃度はソース9表面から80nm内部に位置するように設定した。

本実施例のCMOSでは、pMOS、nMOSの何れに関しても基板浮遊効果に起因する諸症状を観測することができなかった。基板浮遊効果の解消に関し、pMOSに関しては実施例3と同様な理由に基づくと考えられ、nMOSでもチ
20 ャネル下部単結晶Si膜3に発生した少数キャリアである正孔がp型拡散層11に向かい注入され、ソース低濃度n型拡散層10に達した正孔がp型拡散層11とn型拡散層10間の接合における空乏層で再結合により消滅するためと考えられる。

更に本実施例の製造工程ではイオン源が不安定で、組成比で約10%にも達する大イオン電流を要するGeのイオン注入を施す必要がないため実施例3に比べて
25 廉価に基板浮遊効果に対する対策をすることができた。

図18は本発明の第五実施例による半導体装置の完成断面を示す図である。第三実施例で酸化膜2上の単結晶Si膜3の膜厚が300nmのSOI基板を用い、n型拡散層9及び10、更にはp型拡散層90及び100の接合深さを150nm

に設定した。p型拡散層90及び100内部に選択的に形成されたn型拡散層110の上部に位置するように高濃度p型拡散層92及び102をBF₂のイオン注入により形成したが、イオン注入によりn型拡散層110の上部接合部での結晶欠陥発生によりn型拡散層110とp型拡散層92及び102とは電氣的に高抵抗で短絡された。高濃度p型拡散層92及び102の最大不純物濃度は表面部であり、 $1 \times 10^{20} / \text{cm}^3$ に設定した。

半導体装置CMOSでpMOS, nMOSの何れに関しても基板浮遊効果に起因する諸症状を観測することができなかった。更に本実施例の半導体装置はpMOSにおけるドレイン基板間容量が従来SOI・MOSと同等の容量値を示し、
10 通常半導体基板に製造された同一寸法のMOSにおける値の約1/10と小さなものであった。この結果はドレイン内のn型高濃度拡散層110がp型低濃度拡散層100により周りを囲まれており、n型高濃度拡散層110にはドレイン電界による空乏層が形成されず、容量は厚い絶縁膜2により決定されるためと考えられる。

15 本実施例に基づく半導体装置では単結晶Si層3及び31が300nmと比較的厚く、チャネル領域下部における基板領域では閾電圧以上のゲート電圧印加によっても空乏層と中性領域が存在する、いわゆる、部分空乏化構造となる。部分空乏化構造は低電圧・高速動作で完全空乏構造に比べてやや落ちるが製造条件で従来の半導体基板を用いた条件で容易に製造できる。本実施例に基づく半導体装置
20 では廉価に部分空乏化構造MOSの基板浮遊対策を提供できることを示している。

図19は本発明の第六実施例による半導体装置の完成断面を示す図である。第五実施例でGeのイオン注入に代えてBのイオン注入を行い、高濃度p型拡散層11を低濃度n型拡散層9及び10内部に形成し、引続いて高濃度n型拡散層91、及び101形成のAsイオン注入を実施した。Asイオン注入で最大不純物
25 濃度は表面部であり、 $5 \times 10^{20} / \text{cm}^3$ に設定したがこれによりp型拡散層11の上部接合部での結晶欠陥の発生によりp型拡散層11と高濃度n型拡散層91及び101とは電氣的に高抵抗で短絡された。

本実施例に基づく半導体装置CMOSでpMOS, nMOSの何れに関しても基板浮遊効果に起因する諸症状を観測することができなかった。更に本実施例の

製造工程ではイオン源が不安定で、組成比で約10%にも達する大イオン電流を要するGeのイオン注入を施す必要がないため実施例3に比べて廉価に基板浮遊効果に対する対策をすることができた。本実施例の半導体装置ではpMOS及びnMOS共にドレイン基板間容量が従来SOI・MOSと同等の容量値を示し、

5 通常半導体基板に製造された同一寸法のMOSにおける値の約1/10と小さなものであった。この結果はドレイン内のn型高濃度拡散層110がp型低濃度拡散層100により、p型高濃度拡散層11が低濃度型拡散層10により周りを囲まれる構成になっているため、n型高濃度拡散層110及びp型高濃度拡散層11にはドレイン電界による空乏層が形成されず、容量は厚い絶縁膜2により決定

10 されるためと考えられる。

図20は本発明の第七実施例による半導体装置の製造工程を示す断面図、図21はその完成断面を示す図である。第六の実施例で、酸化膜2と単結晶Si膜3の間に100nm厚の高抵抗多結晶Si膜20と10nm厚のシリコン酸化膜21が構成された多層構造SOI基板を用いた。ここで単結晶Si膜3の膜厚は100

15 nmとし、p型低濃度活性領域3及びn型低濃度活性領域31の不純物濃度は各々 $1 \times 10^{18} / \text{cm}^3$ と極めて低く設定した。即ち、本実施例では完全空乏型の相補型MOS電界効果トランジスタを製造した。

本実施例ではゲート酸化膜5、ゲート電極6、ゲート保護絶縁膜7、ゲート側壁絶縁膜8の形成に先立ってnMOSのゲート電極7形成予定領域直下の高抵抗

20 多結晶Si膜20に不純物濃度 $2 \times 10^{18} / \text{cm}^3$ なる高濃度p型不純物領域22を、pMOSのゲート電極7形成予定領域直下の高抵抗多結晶Si膜20に不純物濃度 $2 \times 10^{18} / \text{cm}^3$ なる高濃度n型不純物領域23を予め形成した(図20)。

図20の状態から第六実施例で半導体装置を製造したが、nMOSのソース内

25 に形成する高濃度p型拡散層11、上部の高濃度n型拡散層91、及びpMOSにおけるソース内の高濃度n型拡散層110、上部の高濃度p型拡散層92の各接合深さに関する条件は実施例1に従った。更にゲート、ゲート側壁絶縁膜部を除くソース、ドレイン全表面に実施例1に従ってW膜12を選択的に被着した(図21)。

この本実施例のCMOSでpMOS、nMOSの何れに関しても基板浮遊効果に起因する諸症状が観測されないことは、実施例6と同様であったが、実施例6の半導体装置に比べて本実施例に基づく半導体装置のゲート、ドレイン電圧2Vにおけるソース・ドレイン電流はpMOS、nMOS共1.4倍以上の大電流化
5 が達成された。しかも低ドレイン電圧条件である非飽和特性領域で、実施例6の半導体装置に比べて極めて急峻なドレインコンダクタンス特性が得られた。

本実施例に基づく半導体装置により構成されたリングオシレータでは一段当りの遅延時間が12p秒と、実施例6に基づくリングオシレータに比べて6p秒も高速化が達成された。このような超高速、大電流特性は高濃度p型不純物領域2
10 2、及び高濃度n型不純物領域23がパンチスルー防止機構として作用し、且つ薄いシリコン酸化膜21が製造工程中の高温熱処理に対する不純物拡散マスクとして作用するため、チャネルを構成するp型低濃度活性領域3、及びn型低濃度活性領域31の不純物濃度を極めて低濃度に設定でき、不純物散乱による移動度の劣化が防止できたためと考えられる。

15 図23から図25は本発明の第8の実施例による半導体装置の製造工程順を示す断面図、図22は完成断面図である。図23において、直径12.5cmの単結晶Siよりなる支持基板1上に500nm厚のシリコン酸化膜（単に酸化膜と称する）2、及び100nm厚のp導電型、抵抗率10Ωcm、面方位（100）の単結晶Si層3からなるSOI基板に公知のMOS電界効果型トランジスタの製造方
20 法により素子間分離絶縁膜4、5nm厚のゲート酸化膜5、n型低抵抗多結晶Si膜よりなるゲート電極6、ゲート保護絶縁膜7を形成した。なお、ゲート酸化膜5の形成に先立って、閾電圧値が0.1Vとなるごとく単結晶Si層3にBのイオン注入を施した。ゲート長は200nmである。この状態よりゲート保護絶縁膜7及びゲート電極6を注入阻止マスクとしてpのイオン注入とその後の熱処理を
25 施し、接合端が酸化膜2に達し、且つ実効ゲート長が150nm、及び表面における最大不純物濃度が $5 \times 10^{17} / \text{cm}^3$ となるごとく低濃度n型拡散層によるソース9及びドレイン10を形成した。上記イオン注入では単結晶Si層3は単結晶性を維持していた。しかる後、50nm厚の堆積性絶縁膜を全面に形成し、異方性ドライエッチングによりゲート側壁部にのみ上記絶縁膜を選択的に残置させてゲ

ート側壁絶縁膜 8 を形成した。ゲート側壁絶縁膜 8 の膜厚条件に関して、10 から 20 nm 間隔で変化させた本実施例に基づく半導体装置も別途製造した。引続き、 BF_3 のイオン注入により低濃度 n 型ソース 9 及びドレイン 10 内部で、酸化膜 2 界面で最大不純物濃度 $2 \times 10^{19} / \text{cm}^3$ なる高濃度 p 型領域 11 を形成した。酸化膜 2 界面において、高濃度 p 型領域 11 側面に残存する低濃度 n 型拡散層 9 の幅は最終的に 40 nm であった。 BF_3 のイオン注入はその最大不純物濃度が酸化膜 2 内になるごとく加速エネルギーを設定してもよい。上記イオン注入により高濃度 p 型領域 11 は非晶質に変換された (図 2 3)。

図 2 3 の状態より As の低エネルギーイオン注入を行ない、表面濃度 $2 \times 10^{21} / \text{cm}^3$ なる高濃度 n 型領域 91 及び 101 を高濃度 p 型拡散層 11 上に形成した。上記イオン注入工程に引続き 1000°C 、10 秒なる短時間熱処理を施し、注入イオンの活性化を行なったが高濃度 p 型領域 11 はゲート直下の横方向領域を除き微細粒径の多結晶で、厚さは約 10 nm であった。高濃度 n 型領域 91 及び 101 の接合深さは約 40 nm であった (図 2 4)。

図 2 4 の状態よりソース抵抗の低減を図る目的で化学気相反応による 150 nm 厚の W 膜 12 を露出されている Si 面に選択的に堆積した。上記 W 膜 12 はスパッタリングによる全面被着と、少なくとも高濃度 n 型領域 91 及び 101 表面を覆うごとくパターニングして形成しても良い。しかる後、磷が添加されたシリコン酸化膜による配線保護絶縁膜 13 の堆積を施した (図 2 5)。

図 2 5 の状態より公知の半導体装置の製造方法に基づき配線保護絶縁膜 13 の所望個所への開口、更には配線金属の蒸着とそのパターニングによるソース電極 14、ドレイン電極 15 等を含む配線を形成した。なお、最終工程における単結晶 Si 層 3 の膜厚は製造工程中の洗浄処理等により減少し、50 nm であった (図 2 2)。

上記製造工程を経て製造された本実施例に基づく半導体装置のソース・ドレイン間耐圧は 4.7 V とソース内の p 型拡散層 11 が構成されていない同一寸法の従来構造 SOI MOS に比べて約 1.5 V 向上し、通常半導体基板に製造された同一寸法の MOS と同等の耐圧値を確保することができた。また、電流・電圧特性においてもキंक特性と称される異常なこぶ状特性は観測されず、正常な特性

- を示した。更に、ソース・ドレイン電流・ゲート電圧特性において、従来SOI・MOSで観測された低ゲート電圧におけるリーク電流の存在も観測されなかった。また上記リーク電流、及び閾電圧値はドレイン電圧を変化させても変化が見出せなかった。これらの特性から、本実施例に基づく半導体装置では基板浮遊効果に伴う緒特性から完全に解消されたことが明らかとなった。本実施例に基づく半導体装置の電流・電圧特性は正常な特性を示し、ソース、及びドレイン内部に形成されたp型高濃度領域11は何ら悪影響を及ぼさないことも判明した。本実施例に基づく上記基板浮遊効果の解消は本実施例に基づきゲート側壁絶縁膜8の膜厚を変化させて製造した半導体装置において、
- 10 高濃度p型領域11端から低濃度n型拡散層接合までの間隔が100nm以下から20nmまで観測されたが、30から50nmの間隔の場合が特性のばらつきも観測されず、最も好ましいことが明らかとなった。なお、高濃度p型領域11端が低濃度n型拡散層接合を越えて構成された構造においては基板浮遊効果解消は見出せなかった。
- 15 本実施例に基づく半導体装置がSOIMOSの基板浮遊効果解消に有効なことから酸化膜2に接して構成された高濃度p型領域11の多結晶性が注入された正孔の再結晶中心として十分に作用することが推測された。
- 本実施例に基づく半導体装置においては単結晶Si層3が50nmと極めて薄く、チャンネル領域における基板不純物濃度も $1 \times 10^{17}/\text{cm}^3$ と低く設定されている。
- 20 従って、単結晶Si層3内の電荷量限定により閾電圧以上のゲート電圧条件ではチャンネル領域の単結晶Si層3に中性領域は存在せず、完全空乏状態となっている。これは電流駆動源であるチャンネル中の可動電荷を効果的に誘起することができ、大電流化に適している。即ち、低電圧・高速動作に適している。本実施例に基づく半導体装置においては基板浮遊効果を伴うことなく上記の完全空乏型SOI
- 25 IMOSが従来半導体装置の製造方法のみで廉価に提供できることを示している。

図26から図28は本発明の他の実施例(第9実施例)による半導体装置の製造工程順を示す断面図、図28はその完成断面図である。前記実施例8における図24の状態からゲート保護絶縁膜7、ゲート側壁絶縁膜8、及び素子間分離絶縁膜4をエッチングマスクとして露出している低濃度n型拡散層9及び10表面

の選択的エッチングを施し、5 nm厚の高濃度 p 型領域 1 1 を残置させた（図 2 6）。

しかる後、磷が高濃度に添加された Si 膜 9 2、及び 1 0 2 を上記エッチング領域に選択形成させ 6 5 0 °C 1 0 分なる熱処理を施し、活性化させた。高濃度 n 5 型領域からなるソース及びドレインとした。Si 膜 9 2、及び 1 0 2 の形成は単結晶エピタキシャル選択成長の条件でも、多結晶選択成長の条件の何れであっても良い。更に全面堆積された Si 膜をパターニングして形成しても良い。高濃度 n 型化は Si 膜形成時の不純物同時添加によらず、例えばイオン注入に基づいても良い。上記 Si 膜 9 2、及び 1 0 2 の形成はソース抵抗低減の観点から Si 膜 10 9 2、及び 1 0 2 エッチング前の初期表面より上部に表面が構成されるごとく、所謂積上げソース・ドレイン構造とすることが望ましい（図 2 7）。

図 2 7 の状態から前記実施例 8 に従って、配線保護絶縁膜 1 3、ソース電極 1 4、ドレイン電極 1 5 等を含む配線を形成した（図 2 8）。

上記製造工程を経て製造された本実施例に基づく半導体装置においては、前記 15 実施例 8 に基づく半導体装置と同様に基板浮遊効果に伴う緒特性が観測されず、正常な完全空乏型 SOI MOS 特性を得ることができた。本実施例に基づく半導体装置においては、高濃度 n 型領域 9 及び 1 0 との界面部分を含めた高濃度 p 型領域 1 1 が急峻な高濃度分布に構成できるため不純物濃度の増加に伴って低減される再結合時間をより低減することができ、従って注入される正孔を前記実施例 20 1 の半導体装置に比べて更に効率良く消滅できる。即ち、更に基板浮遊効果の解消に有効となる。

図 2 9 は本発明の他の実施例（第 1 0）による半導体装置の完成断面図である。前記実施例 9 における図 2 6 の状態からゲート側壁絶縁膜 8 に隣接する一部を除いて高濃度 p 型領域 1 1 を選択除去してから前記実施例に従って Si 膜 9 2、及び 25 び 1 0 2 の選択形成以降の製造工程を実施し、半導体装置を製造した。上記高濃度 p 型領域 1 1 の選択除去はホトマスクを用いて実施したが、ゲート電極との自己整合性を保証するために図 2 6 の状態からゲート側壁絶縁膜 8 と異なる材料（シリコン窒化膜）による第二の側壁絶縁膜の選択形成と上記第二の側壁絶縁膜をマスクとする高濃度 p 型領域 1 1 の選択除去を施しても良い。更に選択除去に

代えて、第二の側壁絶縁膜をマスクとする高濃度 n 型イオン注入を高濃度 p 型領域 11 へ施すことで高濃度 p 型領域 11 の低減を図っても良い（図 29）。

上記製造工程を経て製造された本実施例に基づく半導体装置においては前記実施例 8 及び 9 に基づく半導体装置と同様に基板浮遊効果に起因する緒現象は観測されなかった。更に、本実施例に基づく半導体装置に於いては、ソース領域と同一形状に構成されるドレイン領域に関して、ドレイン・基板間容量が高濃度 p 型領域 11 の選択除去面積に比例して低減され、高濃度 p 型領域 11 の残領域が 0.1 μm 以下では高濃度 p 型領域 11 の無い通常の SOI MOS の容量と同等にまで低減された。通常の SOI MOS の容量値は通常半導体基板に製造された同一寸法の MOS における値の約 1/10 であった。

図 30 は本発明の他の実施例（第 11）による半導体装置の完成断面図である。前記実施例 8 において、単結晶 Si 層 3 として 200 nm の厚さの SOI 基板を用い、高濃度 p 型領域 11 の形成領域を酸化膜 2 界面から離し、低濃度 n 型拡散層 9 及び 10 を介して酸化膜 2 に隣接するごとく構成した。即ち、高濃度 p 型領域 11 は低濃度 n 型拡散層 9 及び 10 により外部から完全に隔離された構造とした。その他の製造工程は実施例 1 に従った（図 30）。

上記の製造工程を経て製造された本実施例による半導体装置はドレイン領域において高濃度 p 型領域 11 の存在にも係らず、従来 SOI・MOS と同等の低接合容量値を示し、通常半導体基板に製造された同一寸法の MOS における値の約 1/10 と小さなものであった。上記結果はドレイン内の高濃度 p 型領域 11 は低濃度 n 型拡散層 10 により回りを囲まれており、高濃度 p 型領域 11 にはドレイン電界による空乏層が形成されず、容量は厚い酸化膜 2 により決定されるためと考えられる。

図 31 は本発明の他の実施例（第 12）による半導体装置の完成断面図である。前記実施例 8 において、単結晶 Si 層 3 として 500 nm の厚さの SOI 基板を用い、素子間分離絶縁膜 4 の形成により単結晶 Si 膜 3 の活性領域を互いに分離した後、所望の回路構成に従って該活性領域の一部にイオン注入を施して低濃度 n 型領域 31 とした。低濃度 n 型領域 31 と低濃度 p 型領域 3 上に前記実施例 8 に従って、ゲート酸化膜 5、ゲート電極 61、ゲート保護絶縁膜 7、ゲート側壁絶

縁膜 8 を形成した。本実施例においてはゲート電極 61 として W 膜を用いた。ゲート電極 61、ゲート側壁絶縁膜 8 をマスクとして低濃度 n 型領域 31 にのみ選択的に B のイオン注入とその後の熱処理により 200 nm の接合深さを有し、表面不純物濃度が $5 \times 10^{18} / \text{cm}^3$ の低濃度 p 型拡散層 90 及び 100 を形成した。

- 5 続いて活性領域内部で最大不純物濃度が $5 \times 10^{20} / \text{cm}^3$ で、低濃度 p 型拡散層 90 及び 100 内部に位置するごとく As のイオン注入を施して高濃度 n 型領域 110 を形成した。上記高濃度 n 型領域 110 は活性化熱処理後も固溶限界以上の不純物濃度のため単結晶化されず、多結晶状の結晶欠陥領域が保持されていた。低濃度 p 型領域 3 に対してはゲート電極 61、ゲート側壁絶縁膜 8 をマスクとして選択的に P のイオン注入を行ない、表面で最大濃度 $3 \times 10^{18} / \text{cm}^3$ となり 200 nm の接合深さを有する低濃度 n 型拡散層を形成し、ソース 9、及びドレイン 10 とした。続いて、活性領域内部で最大不純物濃度が $5 \times 10^{20} / \text{cm}^3$ で、低濃度 n 型拡散層 9 及び 10 内部に位置するごとく BF_3 のイオン注入を施して高濃度 p 型領域 11 を形成した。上記高濃度 p 型領域 11 も活性化熱処理後も固溶限界以上の不純物濃度のため単結晶化されず、多結晶状の結晶欠陥領域が保持されていた。しかる後、前記実施例 8 に従い配線保護絶縁膜 13 の堆積と所望箇所への開口、配線用金属膜の蒸着とそのパターニングにより接地電位線 17、出力端子 18、及び電源電圧線 19 を含む配線を形成した。

- 上記製造工程を経て製造された本実施例に基づく半導体装置、CMOS、において pMOS、nMOS の何れに関しても基板浮遊効果に起因する緒症状を観測することができなかった。更に nMOS 閾電圧値の負方向変動、pMOS 閾電圧値の正方向変動によって接地電位線 17 と電源電圧線 19 間に生じる SOI・CMOS 特有の基板浮遊効果に基づく貫通電流も観測されなかった。pMOS において、基板浮遊効果が見られなかったことはチャネル部単結晶 Si 膜 31 に発生した少数キャリアである電子が高濃度 n 型領域 110 に向かい注入され、結晶欠陥に基づく再結合中心により消滅するためと考えられる。

更に本実施例に基づく半導体装置においては pMOS におけるドレイン基板間容量が従来 SOI・MOS と同等の容量値を示し、通常半導体基板に製造された同一寸法の MOS における値の約 $1/10$ の小さなものであった。上記結果はド

レイン内の高濃度n型領域110がp型低濃度拡散層100により周りを囲まれており、高濃度n型領域110にはドレイン電界による空乏層が形成されず、容量は厚い絶縁膜2により決定されるためと考えられる。

本実施例に基づく半導体装置においては単結晶Si層3及び31が500nmと比較的厚く、チャネル領域下部における基板領域では閾電圧以上のゲート電圧印加によっても空乏層と中性領域が存在する所謂部分空乏化構造となる。部分空乏化構造は低電圧・高速動作で完全空乏構造に比べてやや落ちるが製造条件において従来の半導体基板を用いた条件で容易に製造できる。本実施例に基づく半導体装置において廉価に部分空乏化構造MOSの基板浮遊対策を提供できることを示している。

図32は本発明の他の実施例(第13)による半導体装置の製造工程を示す断面図、図33はその完成断面図である。前記実施例12において、単結晶Si膜3の膜厚は200nmとし、酸化膜2と200nm厚の単結晶Si層3の間に100nm厚の高抵抗多結晶Si膜20と10nm厚のシリコン酸化膜21が構成された多層構造SOI基板を用いた。ここで単結晶Si膜3の膜厚は100nmとして、p型低濃度活性領域3及びn型低濃度活性領域31の不純物濃度は各々 $1 \times 10^{16} / \text{cm}^3$ と極めて低く設定した。即ち、本実施例においては完全空乏型の相補型MOS電界効果トランジスタを製造した。本実施例においてはゲート酸化膜5、ゲート電極6、ゲート保護絶縁膜7、ゲート側壁絶縁膜8の形成に先立ってnMOSのゲート電極7形成予定領域直下の高抵抗多結晶Si膜20に不純物濃度 $2 \times 10^{18} / \text{cm}^3$ なる高濃度p型不純物領域22を、pMOSのゲート電極7形成予定領域直下の高抵抗多結晶Si膜20に不純物濃度 $2 \times 10^{18} / \text{cm}^3$ なる高濃度n型不純物領域23を予め形成した(図32)。

図32の状態から前記実施例12に従って半導体装置を製造したが、nMOSのソース内に形成する高濃度p型領域11の上部に高濃度n型領域91、及びpMOSにおけるソース内の高濃度n型領域110の上部に高濃度p型領域92を各々形成した。上記の各接合深さは前記実施例11の条件と同一とした。更にゲート、ゲート側壁絶縁膜を除くソース、ドレイン全表面に実施例4に従ってW膜12を選択的に被着した(図33)。

- 上記製造工程を経て製造された本実施例に基づく半導体装置、CMOS、においてpMOS、nMOSの何れに関しても基板浮遊効果に起因する緒症状を観測されないことは前記実施例12と同様であったが、前記実施例12の半導体装置に比べて本実施例に基づく半導体装置のゲート、ドレイン電圧2Vにおけるソース・ドレイン電流はpMOS、nMOS共1.4倍以上の大電流化が達成された。しかも低ドレイン電圧条件である非飽和特性領域において、前記実施例12の半導体装置に比べて極めて急峻なドレインコンダクタンス特性が得られた。本実施例に基づく半導体装置により構成されたリングオシレータにおいては一段当りの遅延時間は12p秒と前記実施例5に基づくリングオシレータに比べて6p秒も高速化が達成された。これは高濃度p型不純物領域22、及び高濃度n型不純物領域23がパンチスルー防止機構として作用し、且つ薄いシリコン酸化膜21が製造工程中の高温熱処理に対する不純物拡散マスクとして作用するため、本実施例に基づく半導体装置の超高速、大電流特性はチャネルを構成するp型低濃度活性領域3、及びn型低濃度活性領域31の不純物濃度を極めて低濃度に設定でき、不純物散乱による移動度の劣化が防止できた為と考えられる。

- 図34から図37は本発明の第14の実施例による半導体装置の製造工程順を示す断面図、図34はその完成断面図である。直径12.5cmの単結晶Siよりなる支持基板1上に500nm厚のシリコン酸化膜（単に酸化膜と称する）2、及び200nm厚のp導電型、抵抗率10Ωcm、面方位（100）の単結晶Si層3からなるSOI基板に公知のMOS電界効果型トランジスタの製造方法により素子間分離絶縁膜4、5nm厚のゲート酸化膜5、n型低抵抗多結晶Si膜よりなるゲート電極6、ゲート保護絶縁膜7を形成した。なお、ゲート酸化膜5の形成に先立って、閾電圧値が0.1Vとなるごとく単結晶Si層3にBのイオン注入を施した。ゲート長は200nmである。この状態よりゲート保護絶縁膜7及びゲート電極6を注入阻止マスクとしてpのイオン注入とその後の熱処理を施し、接合端が酸化膜2に達し、且つ実効ゲート長が150nm、及び表面における最大不純物濃度が $2 \times 10^{16} / \text{cm}^3$ となるごとく低濃度n型拡散層によるソース9及びドレイン10を形成した。引続いて加速エネルギー25keV、ドーズ量 $3 \times 10^{15} / \text{cm}^2$ の条件によりAsのイオン注入とその後の熱処理を施し、高濃度n型拡散

層91、及び101を形成した。上記の各n型不純物イオン注入では単結晶Si層3は単結晶性を維持していた(図35)。

図35の状態より、50nm厚の堆積性絶縁膜を全面に形成し、異方性ドライエッチングによりゲート側壁部にのみ上記絶縁膜を選択的に残置させてゲート側壁
5 絶縁膜8を形成した。ゲート側壁絶縁膜8の膜厚条件に関して、最小膜厚20nm、最大膜厚0.5μmまで10から100nm間隔で変化させた本実施例に基づく半導体装置も別途製造した。引続き、低濃度n型ソース9及びドレイン10内部の酸化膜2界面で濃度が最大となるごとくドーズ量 $3 \times 10^{15}/\text{cm}^2$ なる条件でSiのイオン注入を施した。上記イオン注入の後、800℃、10分の熱処理を
10 施した。同一条件で別途製造した試料についてその断面を透過型電子顕微鏡により観察した結果、酸化膜2界面近傍では微細結晶粒の双晶、即ち結晶欠陥領域11が形成されていることが明らかとなった。Siのイオン注入はその最大濃度が酸化膜2内になるごとく加速エネルギーを設定してもよい。さらに別途実験の結果、結晶欠陥領域11の形成の為のイオン注入はイオン種としてSiでなくとも
15 良く、Ne、Ar等の希ガス元素、F、Cl等のハロゲン元素、及びC、Ge等の14族元素であっても同等の効果が得られることが判明した。しかしながら、PのごとくSi単結晶中でn伝導型を構成する元素のイオン注入では後述のごとく効果がないことが判明した。(図36)。

図36の状態によりソース抵抗の低減を図る目的で化学気相反応による150
20 nm厚のW膜12を露出しているSi面に選択的に堆積した。上記W膜12はスパッタリングによる全面被着と、少なくとも高濃度n型領域91及び101表面を覆うごとくパターンニングして形成しても良い。しかる後、磷が添加されたシリコン酸化膜による配線保護絶縁膜13の堆積を施した(図37)。

図37の状態により公知の半導体装置の製造方法に基づき配線保護絶縁膜13
25 の所望個所への開口、更には配線金属の蒸着とそのパターンニングによるソース電極14、ドレイン電極15等を含む配線を形成した。(図34)。

上記製造工程を経て製造された本実施例に基づく半導体装置のソース・ドレイン間耐圧は4.7Vとソース内のp型拡散層11が構成されていない同一寸法の従来構造SOIMOSに比べて約1.5V向上し、通常半導体基板に製造された

同一寸法のMOSと同等の耐圧値を確保することができた。また、電流・電圧特性においてもキंक特性と称される異常なこぶ状特性は観測されず、正常な特性を示した。更に、ソースドレイン電流・ゲート電圧特性において、従来SOI・MOSで観測された低ゲート電圧におけるリーク電流の存在も観測されなかった。

- 5 また上記リーク電流、及び閾電圧値はドレイン電圧を変化させても変化が見出せなかった。これらの特性から、本実施例に基づく半導体装置では基板浮遊効果に伴う緒特性から完全に解消されたことが明らかとなった。本実施例に基づく半導体装置の電流・電圧特性は正常な特性を示し、ソース、及びドレイン内部に形成された結晶欠陥領域11は何ら悪影響を及ぼさないことも判明した。本実施例に
- 10 基づく上記基板浮遊効果の解消は本実施例に基づきゲート側壁絶縁膜8の膜厚を変化させて製造した半導体装置において、結晶欠陥領域11端から低濃度n型拡散層接合までの間隔が500nm以下から20nmまで観測されたが、特に100nm以下の間隔の場合が特性のばらつきも観測されず、最も好ましいことが明らかとなった。なお、結晶欠陥領域11形成をPのイオン注入に基づいて形成した試料
- 15 においては基板浮遊効果解消が全く見出せなかった。

本実施例に基づく半導体装置がSOIMOSの基板浮遊効果解消に有効なことから酸化膜2に接して構成された結晶欠陥領域11の多結晶が注入された正孔の再結晶中心として十分に作用することが推測された。

- 本実施例に基づく半導体装置においては単結晶Si層3が200nmと比較的厚
- 20 く、チャネル領域下部における基板領域では閾電圧以上のゲート電圧印加によっても空乏層と中性領域が存在する所謂部分空乏化構造となる。部分空乏化構造は低電圧・高速動作で完全空乏構造に比べてやや落ちるが製造条件において従来の半導体基板を用いた条件で容易に製造できる。本実施例に基づく半導体装置においては廉価に部分空乏化構造MOS基板浮遊対策を提供できることを示している。
- 25 図38から図40は本発明の他の実施例による半導体装置の製造工程順を示す断面図、図40はその完全断面図である。前記実施例14に基づいて素子間分離絶縁膜4、ゲート酸化膜5、ゲート電極6、ゲート保護絶縁膜7の形成まで行なった状態から上記ゲート保護絶縁膜7をマスクとするAsの2keVなる低加速エネルギーで高濃度イオン注入を行ない、接合深さ10nm、表面不純物濃度 $1 \times$

$1.0 \times 10^{21} / \text{cm}^3$ なる浅接合 n 型高濃度拡散層 9 5、及び 1.0×10^5 を形成した。続いて、前記実施例 1 に従い $1.0 \times 10^2 \text{ nm}$ 厚のゲート側壁絶縁膜 8 を形成し、ゲート側壁絶縁膜 8 をマスクとする P の高濃度イオン注入を行ない、接合深さ $1.0 \times 10^2 \text{ nm}$ の低抵抗ソース拡散層 9 1、及び低抵抗ドレイン拡散層 1 0 1 を形成した（図 3 8）。

- 5 図 3 8 の状態より公知の半導体装置製造方法に基づき、配線保護絶縁膜 1 3 の堆積と、所望箇所への開口を施した。上記開口より P のイオン注入を施し、低抵抗ソース拡散層 9 1 下部に接し、下地酸化膜 2 に達するごとく最小不純物濃度 $1.0 \times 10^{16} / \text{cm}^3$ なる n 型低濃度拡散層 9 を形成した。上記工程において、ドレイン拡散層底部にも n 型低濃度拡散層 1 0 が同時に形成される。上記 n 型低濃度拡散層 9 及び 1 0 の活性化と拡散深さを調整する熱処理を施した後、前記開口側面に配線保護絶縁膜 1 3 と材料を異にする堆積膜 1 3 1 をドライエッチングの手法を用いて選択的に残置させた。開口側壁絶縁膜 1 3 1 は開口から一定膜厚でイオン注入マスクとなる膜が側壁部に存在することに意味があり、開口底面部に存在していても次工程には何ら問題は生じない。この状態から開口側壁膜 1 3 1 をマスクとする Si の高エネルギーイオン注入を前記実施例 1 4 の条件に基づき実施し、結晶欠陥領域 1 1 を上記 n 型低濃度拡散層 9 内の酸化膜 2 界面近傍に形成した。上記製造工程において、結晶欠陥領域 1 1 端から n 型低濃度拡散層 9 接合までの間隔の調整に開口側壁膜 1 3 1 を用いる手法について説明したが、上記は n 型低濃度拡散層接合深さを熱処理により調整する手法に基づいても良い。この場合、開口側壁膜 1 3 1 の形成工程は省略できる（図 3 9）。
- 10
15
20

- 図 3 9 の状態より公知の半導体装置の製造方法に基づき、配線金属材料によるソース電極 1 4、ドレイン電極 1 5 を含む電極、及び配線を形成した。図 4 0 においては開口側壁膜 1 3 1 を除去してから配線材料を形成する工程に従った半導体装置断面図を図示したが、上記開口側壁膜は所望により残置させたままであっても何ら問題は生じない（図 4 0）。
- 25

上記製造工程を経て製造された本実施例に基づく半導体装置においては、前記実施例 1 4 に基づく半導体装置と同様に基板浮遊効果に伴う緒特性が観測されず、正常な部分空乏型 SOI MOS 特性を得ることができた。更に、本実施例に基づく半導体装置においては基板浮遊効果解消がコンタクト孔領域だけで実現できる

ため、トランジスタ特性を決定するゲート電極端近傍におけるソース、ドレイン拡散層形状に何らの制約を生じない。従って、本実施例に基づけば所望のトランジスタ特性を基板浮遊効果の影響なく実現することができる。

図41は本発明の他の実施例(第16)による半導体装置の製造工程を示す断面図、図42はその完成断面図である。前記実施例14において、単結晶Si層3として500nmの厚さのSOI基板を用い、素子間分離絶縁膜4の形成により単結晶Si膜3の活性領域を互いに分離した後、所望の回路構成に従って該活性領域の一部にイオン注入を施して低濃度n型領域31とした。低濃度n型領域31と低濃度p型領域3上に前記実施例14に従って、ゲート酸化膜5、ゲート電極61、ゲート保護絶縁膜7を形成した。本実施例においてはゲート電極61としてW膜を用いた。この状態より前記実施例14に従い、ゲート電極61をマスクとしたイオン注入を施した。上記イオン注入は低濃度p型領域3では前記実施例に従い低濃度n型拡散層9、及び10の形成のためのPイオン注入と、高濃度n型拡散層91、101の形成のためのAsイオン注入を行ない、低濃度n型領域31ではBイオン注入による低濃度p型拡散層90、及び100の形成と高濃度p型拡散層92及び102を形成した。低濃度n型拡散層9、及び10と低濃度p型拡散層90、及び100は酸化膜2に達するごとく形成し、最大不純物濃度は最終的に $1 \times 10^{17} / \text{cm}^3$ になるごとく設定した。上記の各イオン注入とその後の活性化熱処理の後、nMOS形成領域にはシリコン窒化膜を選択残置し、異方性ドライエッチングにより、nMOSゲートの側壁部にのみシリコン窒化膜による100nm厚のゲート側壁絶縁膜8を形成した。同様にpMOS形成領域には酸化膜を選択残置し、異方性ドライエッチングにより、pMOSゲートの側壁部にのみ酸化膜による200nm厚のゲート側壁絶縁膜8を形成した。上記pMOS、及びnMOSのゲート側壁絶縁膜8は所望により同一材料による同一膜厚であっても良い。しかる後、ゲート電極61、ゲート側壁絶縁膜8をマスクとして酸化膜2界面に達するごとくドーズ量 $5 \times 10^{15} / \text{cm}^2$ のArをイオン注入し、低濃度n型拡散層9、及び10と低濃度p型拡散層90、及び100内部で高濃度n型拡散層91、101及び高濃度p型拡散層92及び102から隔離された領域に結晶欠陥領域11を埋込形成した。結晶欠陥領域11の形成はArのイオ

ン注入によらず、前記実施例 1 のごとく Si のイオン注入等によっても何ら差し支えない。上記結晶欠陥領域 11 は下地酸化膜 2 の影響により再結晶化熱処理によっても下地酸化膜 2 に接する領域は単結晶化されず、多結晶状の結晶欠陥領域が保持されていた（図 4 1）。

- 5 しかる後、前記実施例 1 4 に従い配線保護絶縁膜 1 3 の堆積と所望個所への開口、配線用金属膜の蒸着とそのパターニングにより接地電位線 1 7、出力端子 1 8、及び電源電圧線 1 9 を含む配線を形成した（図 4 2）。

上記製造工程を経て製造された本実施例に基づく半導体装置、CMOS、において pMOS、nMOS の何れに関しても基板浮遊効果に起因する緒症状を観測
10 することができなかった。更に nMOS 閾電圧値の負方向変動、pMOS 閾電圧値の正方向変動によって接地電位線 1 7 と電源電圧線 1 9 間に生じる SOI・CMOS 特有の基板浮遊効果に基づく貫通電流も観測されなかった。pMOS において、基板浮遊効果が見られなかったことはチャネル部単結晶 Si 膜 3 1 に発生した少数キャリアである電子が低濃度 p 型拡散層 1 0 0 内を移動し、結晶欠陥領
15 域 1 1 内の再結合中心により消滅するためと考えられる。本実施例に基づく半導体装置においては、nMOS と pMOS の基板浮遊効果を同一のイオン注入工程で解消することができ、製造工程を複雑にすることなく、従って廉価に CMOS の高性能化を達成することができた。

本実施例において、再結晶中心として作用する結晶欠陥領域 1 1 とチャネル下
20 部の低濃度 p 型領域 3、或いは低濃度 n 型領域 3 1 間間隔を決定するためのゲート側壁絶縁膜 8 の膜厚を nMOS と pMOS で異なるごとく形成した。上記は低濃度 p 型拡散層 9 0 及び 1 0 0 と、低濃度 n 型拡散層 9 及び 1 0 の不純物の違いにより接合深さが異なる点を考慮し、その補正を目的とするものである。

本実施例において、低濃度 p 型拡散層 9 0 及び 1 0 0 と、低濃度 n 型拡散層 9
25 及び 1 0 の最大不純物濃度は $1 \times 10^{15} / \text{cm}^3$ 以上、 $1 \times 10^{18} / \text{cm}^3$ 以下であることが望ましく、特に 1×10^{16} から $5 \times 10^{17} / \text{cm}^3$ の範囲であることが望ましい。これは $5 \times 10^{17} / \text{cm}^3$ 以下において、基板浮遊現象の解消は特に顕著であるが、一方 $1 \times 10^{16} / \text{cm}^3$ 以下において p n 接合の逆方向特性に $1 / 10^{12} \text{ A}$ 程度の微小電流が生じ、トランジスタのリーク電流となる恐れがある。

更に、結晶欠陥領域 11 形成のためのイオン注入工程は CMOS においても一回でよく、SOI 層の厚さを考慮し、下地酸化膜 2 界面で非晶質形成が達成できればよい。又、イオン注入元素も低濃度 p 型拡散層 90 及び 100 と、低濃度 n 型拡散層 9 及び 10 内で導電型に変動をきたさない材料であればよく、14 族元素の Si、Ge、C 等、及び F、Cl 等のハロゲン元素、更には Ne、Ar 等の希ガス元素等が望ましい。

図 43 は本発明の他の実施例（第 17）による半導体装置の製造工程を示す断面図、図 44 はその完成断面図である。前記実施例 16 において、単結晶 Si 膜 3 の膜厚は 100 nm とし、酸化膜 2 と 200 nm 厚の単結晶 Si 膜 3 の間に 100 nm 厚の高抵抗多結晶 Si 膜 20 と 10 nm 厚のシリコン酸化膜 21 が構成された多層構造 SOI 基板を用いた。ここで単結晶 Si 膜 3 における p 型低濃度活性領域 3 及び n 型低濃度活性領域 31 を不純物濃度は各々 $1 \times 10^{16} / \text{cm}^3$ と極めて低く設定した。即ち、本実施例においては完全空乏型の相補型 MOS 電界効果トランジスタを製造した。本実施例においてはゲート酸化膜 5、ゲート電極 6、ゲート保護絶縁膜 7、ゲート側壁絶縁膜 8 の形成に先立って nMOS のゲート電極 7 形成予定領域直下の高抵抗多結晶 Si 膜 20 に不純物濃度 $2 \times 10^{18} / \text{cm}^3$ なる高濃度 p 型不純物領域 22 を、pMOS のゲート電極 7 形成予定領域直下の高抵抗多結晶 Si 膜 20 に不純物濃度 $2 \times 10^{18} / \text{cm}^3$ なる高濃度 n 型不純物領域 23 を予め形成した（図 43）。

図 43 の状態から前記実施例 16 に従って半導体装置を製造したが、nMOS のソース高濃度 n 型拡散層 91 下部に隣接した低濃度 n 型拡散層 9 内、及び pMOS におけるソース高濃度 p 型拡散層 102 下部に隣接した低濃度 p 型拡散層 90 内に下地酸化膜 2 に接するごとく結晶欠陥層よりなる再結合中心領域 11 を Ar のイオン注入工程により形成した。ソース高濃度 n 型拡散層 91、及び高濃度 p 型拡散層 102 の接合深さは約 50 nm に設定した。又、低濃度 n 型拡散層 9 及び低濃度 p 型拡散層 90 はその底部を下地酸化膜 2 と接する如く構成し、その最大不純物濃度は 1×10^{16} から $2 \times 10^{17} / \text{cm}^3$ になるごとく設定した。更にゲート、ゲート側壁絶縁膜部を除くソース、ドレイン全表面には化学気相反応に基づく 100 nm 厚の W 膜 12 を選択的に被着した後、前記実施例 3 に従って配線

保護絶縁膜 13 の形成、及びその所望箇所への開口、さらには配線用金属膜の蒸着とそのパターニングにより接地電位線 17、出力端子 18、及び電源電圧線 19 を含む配線を形成した（図 44）。

上記製造工程を経て製造された本実施例に基づく半導体装置、CMOS、において pMOS、nMOS の何れに関しても基板浮遊効果に起因する緒症状を観測されないことは前記実施例と同様であったが、前記実施例 16 の半導体装置に比べて本実施例に基づく半導体装置のゲート、ドレイン電圧 2 V におけるソース・ドレイン電流は pMOS、nMOS 共 1.4 倍以上の大電流化が達成された。しかも低ドレイン電圧条件である非飽和特性領域において、前記実施例 16 の半導体装置に比べて極めて急峻なドレインコンダクタンス特性が得られた。本実施例に基づく半導体装置により構成されたリングオシレータにおいては一段当りの遅延時間は 12 p 秒と前記実施例 3 に基づくリングオシレータに比べて 6 p 秒も高速化が達成された。これは高濃度 p 型不純物領域 22、及び高濃度 n 型不純物領域 23 がバンチスルー防止機構として作用し、且つ薄いシリコン酸化膜 21 が製造工程中の高温熱処理に対する不純物拡散マスクとして作用するため、本実施例に基づく半導体装置の超高速、大電流特性はチャネルを構成する p 型低濃度活性領域 3、及び n 型低濃度活性領域 31 の不純物濃度を極めて低濃度に設定でき、不純物散乱による移動度の劣化が防止できた為と考えられる。

本実施例に基づく半導体装置においては単結晶 Si 層 3 が 50 nm と極めて薄く、チャネル領域における基板不純物濃度も $1 \times 10^{17} / \text{cm}^3$ と低く設定されている。従って、単結晶 Si 層 3 内の電荷量限定により閾電圧以上のゲート電圧条件ではチャネル領域の単結晶 Si 層 3 に中性領域は存在せず、完全空乏状態となっている。これは電流駆動源であるチャネル中の可動電荷を効果的に誘起することができ、大電流化に適している。即ち、低電圧・高速動作に適している。本実施例に基づく半導体装置においては基板浮遊効果を伴うことなく上記の完全空乏型 SOI MOS が従来半導体装置の製造方法のみで廉価に提供できることを示している。

以下の図 45 ～ 図 49 までに、これまでの実施例で開示された半導体装置の適用例について説明する。

図 45 A、45 B は本発明の実施例による半導体装置の適用例を示す図である。

この例は、随時書込み読出し型記憶装置（DRAMと称される）を本発明に基づく半導体装置により構成した例である。図で、一記憶単位であるメモリセルは図45Aのように本発明による一つの半導体装置と一つの容量素子Csの直列接続により構成され、データ伝達線であるビット線、及び入出力制御のワード線に接続される。本随時書込み読出し型記憶装置はメモリセルが行列状に配置されたメモリセルアレイと制御用周辺回路で構成されるが、周辺回路も本発明の半導体装置により構成した。メモリセル選択のアドレス信号端子数を低減するため列アドレス信号と行アドレス信号をずらし、多重化して印加するが、RASとCASは各各パルス信号であり、クロック発生器1、及び2を制御してアドレス信号を行デコーダと列デコーダに振分けている。緩衝回路であるアドレスバッファにより行デコーダ及び列デコーダに振分られたアドレス信号に従って特定のワード線、及びビット線を選択する。各ビット線にはフリップフロップ型増幅器によるセンスアンプが接続され、メモリセルから読出された信号を増幅する。パルス信号WEは書込みクロック発生器を制御することにより書込みと読出しの切り換えを制御する。Dは書込み、及び読出し信号である。

本適応例を構成する各半導体装置が本発明に基づく半導体装置よりなることにより、アクセス時間を従来比で30%以上低減できる高速性を実現できた。さらに、リフレッシュ特性も16メガビットメモリ構成で、最悪で0.5秒と従来に比べて10倍に向上することができた。上記の高速動作化はSOI構造による寄生容量低減効果、及び実施例7に基づく大電流化による。また、リフレッシュ特性の向上はSOI構造による接合面積の低減、基板浮遊効果解消による閾電圧変動の解消に基づく。

図46A、46Bは本発明の実施例による半導体装置の別の適用例を示す図である。本例は、常時書込み読出し型記憶装置（SRAMと称される）を本発明に基づく半導体装置により構成した例である。図で、一記憶単位であるメモリセルは図46Bのように、本発明による二組の相補型MOSと信号の入出力を制御する二つのMOS（トランスマOSと称される）で構成される。

本SRAMはメモリセルが行列状に配置されたメモリセルアレイと制御用周辺回路で構成されるが、周辺回路も本発明の半導体装置により構成した。本例の構

成は基本的に図45A、45Bのものとほぼ同一であるが、SRAMの高速性、低消費電力性を図るためにアドレス遷移検出器を設け、これにより発生するパルスによって内部回路を制御している。更に、アドレスバッファからデコーダまでの回路の高速化を図るため行デコーダをプリデコーダと主デコーダの二段により
5 構成している。チップセレクトは信号CS、及びWEにより情報の書込み、及び読出し時のデータを競合を避け、且つ書込みサイクル時間と読出サイクル時間をほぼ同じにして高速動作を可能にするための回路である。

本例の半導体装置を構成する各半導体装置が本発明に基づく半導体装置よりなることにより、電源電圧を3.5Vから2.0Vと低減でき、且つアクセス時間
10 を従来比で30%以上低減できる高速性を実現できた。これはSOI構造による寄生容量低減効果、及び実施例7に基づく大電流化、及び低電圧におけるドレインコンダクタンスの大幅な向上によるものである。更に、基板浮遊効果解消による閾電圧変動が解消され、センスアンプの動作範囲の縮小による高速化が可能になったためである。

15 図47は本発明の実施例による半導体装置の更に別の適用例を示す図である。本例は、本発明に基づく半導体装置を用いて論理回路装置を構成した例である。図は複合ゲート回路の例であるが、本発明に基づく半導体装置により複合ゲート回路にNAND回路とNOR回路を含む論理回路に適用した。図の複合回路は
$$V_{out} = V_1 \cdot V_2 + V_3 \cdot V_4$$
なる論理演算を行う回路であり、この演算をNA
20 ND回路とNOR回路の組合せで構成するよりトランジスタ数を1/2に低減できる。

本実施例の半導体装置を構成する各半導体装置が本発明に基づく半導体装置からなることにより、従来の論理回路装置に比べて遅延時間で20%以上の低減が図られた。これはSOI構造による寄生容量低減効果、及び実施例7に基づく大
25 電流化、及び低電圧におけるドレインコンダクタンスの大幅な向上による。

他の適用例を図48の計算機構成図で説明する。本例は本発明の半導体装置を命令や演算を処理するプロセッサ500が複数個並列に接続された高速大型計算機に適用した例である。本例では半導体装置が従来のバイポーラトランジスタを用いた集積回路よりも集積度が高く廉価なため、命令や演算を処理するプロセッ

サ 5 0 0、システム制御装置 5 0 1、及び主記憶装置 5 0 2 等を 1 辺が 1 0 から 3 0 mm の本発明の半導体装置で構成した。

これら命令や演算を処理するプロセッサ 5 0 0、システム制御装置 5 0 1、及び化合物半導体装置からなるデータ通信インタフェース 5 0 3 を同一セラミック
5 基板 5 0 6 に実装した。また、データ通信インタフェース 5 0 3、及びデータ通信制御装置 5 0 4 を同一セラミック基板 5 0 7 に実装した。これらセラミック基板 5 0 6、及び 5 0 7 と主記憶装置 5 0 2 が実装されたセラミック基板を大きさが 1 辺約 5 0 cm 程度、あるいはそれ以下の基板に実装し、計算機の中央処理ユニット 5 0 8 を形成した。この中央処理ユニット 5 0 8 内データ通信や、複数の中
10 央処理ユニット間データ通信、あるいはデータ通信インタフェース 5 0 3 と入出力プロセッサ 5 0 5 を実装した基板 5 0 9 との間のデータの通信は図中の両端矢印線で示される光ファイバ 5 1 0 を介して行われた。

この計算機では命令や演算を処理するプロセッサ 5 0 0、システム制御装置 5 0 1、及び主記憶装置 5 0 2 等が本発明による半導体装置を並列に用いて形成さ
15 れており、高速に動作し、またデータの通信が光を媒体に行われるため、1 秒間当たりの命令処理回数を大幅に増加することができた。

図 4 9 は本発明の実施例による半導体装置の更にまた別の適用例を示す図である。本例は、本発明に基づく半導体装置により構成された信号伝送処理装置であり、特に非同期伝送方式（ATM 交換器と称される）に関する信号伝送処理装置
20 である。図 4 9 に於いて、光ファイバにより超高速で直列的に伝送されてきた情報信号は電気信号に変換し（O/E 変換）、且つ並列化（S/P 変換）させる装置を介して、本発明に基づく半導体装置により構成される集積回路（BFMLS I）に導入した。集積回路で番地付処理された電気信号は直列化（P/S 変換）及び光信号化（E/O 変換）された光ファイバで出力される。

25 BFMLS I は多重器（MUX）、バッファメモリ（BFM）、及び分離器（DMUX）により構成される。BFMLS I はメモリ制御 LSI、及び空アドレス振分け制御の機能を有する LSI（空アドレス FIFO メモリ LSI）により制御される。

本信号伝送処理装置は伝送すべき番地と無関係に送られてくる超高速伝送信号

- を所望番地に超高速で伝送するスイッチの機能を有する装置である。BFMLSIは入力光信号の伝送速度に比べて著しく動作速度が遅いため、入力信号を直接スイッチングできず、入力信号を一時記憶させ、記憶された信号をスイッチングしてから超高速な光信号に変換して所望番地に伝送する方式を用いている。BF
- 5 ML S I の動作速度が遅ければ、大きな記憶容量が要求される。

本例に基づくATM交換器に於いてはBFMLSIが本発明に基づく半導体装置により構成され、従来のBFMLSIに比べて動作速度が三倍と高速で且つ廉価なため、BFMLSIの記憶容量を従来比で約1/3に低減することが可能となった。これによりATM交換器の製造原価を低減することができた。

- 10 図50は本発明の第18実施例による半導体装置の完成断面を示す図である。実施例6で、高濃度n型拡散層91、及び101形成のイオン注入に代えて高濃度p型拡散層11上のSi層の選択除去と除去領域への高濃度n型不純物が添加された多結晶Si膜24の選択残置を実施した。同様に高濃度p型拡散層92、及び102形成のイオン注入に代えて高濃度n型拡散層110上のSi層の選択
- 15 除去と除去領域への高濃度p型不純物が添加された多結晶Si膜25の選択残置を実施した。本実施例では上記多結晶Si膜25の選択残置はジクロルシランを原料とする低圧化学気相反応に基づいてSi露出面上にのみ選択堆積する手法を用いた。この手法に代えて非晶質、又は多結晶質Siの全面堆積と、所望個所へのp、及びn型不純物の高濃度イオン注入、その後のSi膜のパターニングによ
- 20 り形成してもよい。

- 本実施例のCMOSでは、pMOS、nMOSの何れに関しても基板浮遊効果に起因する諸症状は実施例6の半導体装置と同様に観測されなかった。本実施例による半導体装置で、高濃度n型不純物が添加された多結晶Si膜24と高濃度p型拡散層11間、及び高濃度p型不純物が添加された多結晶Si膜25と高濃
- 25 度n型拡散層110間は多結晶膜の結晶粒界の存在により良好なオーミック特性を示した。多結晶Si膜24と25は所望により単結晶Si膜表面よりも上部に達し、ゲート電極側部に位置するように厚く構成し、ソース抵抗の低減を図ることが可能である。

図51は本発明の他の実施例(第19)による半導体装置の完成断面を示す図

- である。実施例 6 で、pMOS と nMOS を構成する基板として SOI 基板に代えて単結晶 Si 層 3 と同一仕様で $620\text{ }\mu\text{m}$ 厚さの単結晶 Si 基板 30 を用いた。また、低濃度 n 型領域 31 と低濃度 p 型領域 3 に代えて低濃度 n 型ウェル 32 と低濃度 p 型ウェル 33 を公知の半導体装置の製造方法に基づいて形成した。更に、
- 5 本実施例では高濃度 n 型拡散層 91、及び 101 上に高濃度 n 型多結晶 Si 膜 40 と W 膜 12 の積層膜を、高濃度 p 型拡散層 92、及び 102 上に高濃度 p 型多結晶 Si 膜 41 と W 膜 12 の積層膜を形成してソース抵抗の低減を図った。

- 本実施例の CMOS では、ウェル電位供給用の電極を配置しなかったにも係わらず、pMOS、nMOS の何れにも閾電圧変動等のウェル電位浮遊効果に起因
- 10 する緒症状は観測されなかった。即ち、従来相補型 MOS で、必須であったウェル電位固定電極が不要となり、チップ占有面積の低減に寄与することができた。更に本実施例による半導体装置ではソース上に積上げ構成された低抵抗多結晶膜と W 膜の積層膜の効果によりソース抵抗を低減することができた。

産業上の利用可能性

- 15 以上のように、本発明によれば、SOI 基板上に構成された半導体装置の最大の欠点であった基板浮遊効果に基づく閾電圧の変動や電流電圧特性上の異常なこぶ状特性の発生などの欠点を、イオン源が不安定でかつ専用装置を要する Ge イオン注入等の方法によることなく、既存の半導体装置によって、解消することができる。従って本発明によれば、専用装置の付加に伴う半導体装置の占有面積や
- 20 費用の増大を必要とせず、上記特性の改善を実現することができる。

- さらに、従来不可能であった SOI 基板上の pMOS の基板浮遊効果に対しても廉価な製造方法により解消することができる。従って、本発明によれば SOI 基板上の CMOS に対して廉価な製造方法により基板浮遊効果を完全に解消することができる。これにより低電圧、低電力で且つ超高速の半導体装置、及びそれ
- 25 により構成されるシステムを提供することができる。

請 求 の 範 囲

1. 支持基板から絶縁膜で分離された単結晶半導体領域表面にMOS電界効果型トランジスタが形成された半導体装置に於いて、ソース拡散層がソース電極と
- 5 接続された第1導電型の第一の拡散層、側面を前記第一の拡散層で囲まれ、外部から隔離された第2導電型の第二の拡散層よりなることを特徴とする半導体装置。
2. 請求の範囲第1項に於いて、前記第二の拡散層は上部、底部、及びドレイン拡散層と相対する側面が前記第一の拡散層により隔離され構成されてなる半導体装置。
- 10 3. 同一の支持基板上に絶縁膜で分離された複数の単結晶半導体領域表面に第一導電型、及び第二導電型のMOS電界効果型トランジスタが形成された半導体装置に於いて、前記第一導電型のMOS電界効果型トランジスタにおけるソース拡散層がソース電極と接続された第一の拡散層、側面を前記第一の拡散層で囲まれ、外部から隔離された第2導電型の第二の拡散層よりなることを特徴とする半
- 15 導体装置。
4. 請求の範囲第3項に於いて、第二導電型のMOS電界効果型トランジスタにおける前記ソース拡散層が前記ソース電極と接続された導電型の第三の拡散層、側面を前記第三の拡散層で囲まれ、外部から隔離された第1導電型の第四の拡散層よりなる半導体装置。
- 20 5. 請求の範囲第3項に於いて、前記第二の拡散層は上部、底部、及びドレイン拡散層と相対する側面は前記第一の拡散層により隔離され構成されてなる半導体装置。
6. 請求の範囲第4項に於いて、第四の拡散層は上部、底部、及び前記ドレイン拡散層と相対する側面は前記第三の拡散層により隔離され構成されてなる半導
- 25 体装置。
7. 請求の範囲第1, 3項に於いて、前記第一及び第三の拡散層の表面領域における不純物濃度は前記第二又は第四の拡散層の側面及び底面領域における濃度に比べて高濃度に構成されてなる半導体装置。
8. 請求の範囲第1, 3項に於いて、前記第一と第二、及び前記第三と第四の

各拡散層間はオーミック接合で構成されてなる半導体装置。

9. 請求の範囲第1, 3項に於いて、前記第二、及び第四の拡散層は前記ソース電極と接続されてなる半導体装置。

10. 請求の範囲第1, 3項に於いて、前記支持基板と前記単結晶半導体領域を
5 分離する絶縁膜内部にパンチスルーストップ機構が構成されてなる半導体装置。

11. 請求の範囲第1, 3項に於いて、前記MOS電界効果型トランジスタは絶縁膜と単結晶半導体領域が構成されない単結晶半導体基板に構成されてなる半導体装置。

12. 請求の範囲第1, 3項に於いて、前記MOS電界効果型トランジスタは部
10 分空乏型トランジスタである半導体装置。

13. 請求の範囲第1, 3項に於いて、前記MOS電界効果型トランジスタは完全空乏型トランジスタである半導体装置。

14. 請求の範囲第1, 3項に於いて、前記MOS電界効果型トランジスタの一端には容量素子が接続されて一単位の記憶装置を構成する半導体装置。

15 15. 請求の範囲第1, 3項に於いて、前記第1のトランジスタと前記第2のトランジスタが直列に接続されて一対をなし、二対の一単位の記憶装置を構成する半導体装置。

16. 請求の範囲第1, 3に記載の前記半導体装置により論理回路装置が構成されてなる半導体装置。

20 17. 請求の範囲第1, 3に記載の前記半導体装置により非同期型伝送モード装置が構成されてなる半導体装置。

18. 請求の範囲第1, 3に記載の前記半導体装置によりプロセッサ装置が構成されてなる半導体装置。

19. 支持基板から絶縁膜で分離された単結晶半導体領域の表面にゲート絶縁膜
25 を形成する工程、前記ゲート絶縁膜上にゲート電極を形成する工程、少なくとも前記ゲート電極を注入阻止マスクとして第一の導電型の不純物による第一のイオン注入を単結晶半導体領域に施す工程、熱処理を施し第一のpn接合を形成する工程、第二の導電型の不純物による第二のイオン注入を施し、第二のpn接合を前記第一のpn接合内部の第一の導電型不純物領域内に位置するように形成する

工程、第一の導電型の不純物による第三のイオン注入を施し、前記第二の導電型の不純物領域の上部に第三の p n 接合を形成する工程、よりなることを特徴とする半導体装置の製造方法。

20. 支持基板から絶縁膜で分離され、活性領域が第一、及び第二の導電型よりなる複数の単結晶半導体領域の表面にゲート絶縁膜を形成する工程、前記ゲート絶縁膜上にゲート電極を形成する工程、第二導電型の単結晶半導体領域に少なくともゲート電極を注入阻止マスクとして第一の導電型の不純物による第一のイオン注入を施す工程、熱処理を施し第一の p n 接合を形成する工程、第二の導電型の不純物による第二のイオン注入を施し、第二の p n 接合を前記第一の p n 接合内部の第一の導電型不純物領域内に位置するように形成する工程、第一の導電型の不純物による第三のイオン注入を施し、前記第二の導電型の不純物領域の上部に第三の p n 接合を形成する工程、第一導電型の単結晶半導体領域に少なくともゲート電極を注入阻止マスクとして第二の導電型の不純物による第四のイオン注入を施す工程、熱処理を施し第四の p n 接合を形成する工程、第一の導電型の不純物による第五のイオン注入を施し、第五の p n 接合を前記第四の p n 接合内部の第二導電型の不純物領域内に位置するように形成する工程、第二の導電型の不純物による第六のイオン注入を施し、前記第一の導電型の不純物領域の上部に第六の p n 接合を形成する工程よりなることを特徴とする半導体装置の製造方法。

21. 請求の範囲第 19 または 20 項に於いて、前記活性領域は絶縁膜と単結晶半導体領域を有しない単結晶半導体基板主表面に構成されてなる半導体装置の製造方法。

22. 請求の範囲第 19, 20 項に於いて、前記第三のイオン注入工程に代えて第一導電型の多結晶半導体膜を、第六のイオン注入工程に代えて第二導電型の多結晶半導体膜を形成する半導体装置の製造方法。

23. 請求の範囲第 19 または 20 項に於いて、前記第二及び第三の拡散層間の接合、及び第五及び第六の拡散層間の接合がオーミック接合となるようにイオン注入を行う半導体装置の製造方法。

24. 請求の範囲第 19, 20 項に記載の半導体装置の製造方法に於いて、前記第二及び第三の拡散層を第一導電型の MOS 電界効果トランジスタのソース電極

と、第五及び第六の拡散層は第二導電型のMOS電界効果トランジスタのソース電極と接続する工程を含む半導体装置の製造方法。

25. 請求の範囲第19, 20項に於いて、前記第一から第三のpn接合が形成される単結晶半導体領域上、又は第一から第六のpn接合が形成される単結晶半導体領域上に単結晶、又は多結晶よりなる半導体層を形成する工程が含まれる半導体装置の製造方法。

26. 請求の範囲第19項に於いて、前記配線電極を接続する工程に先立ち、第一から第三のpn接合が内部に形成された単結晶又は多結晶半導体領域表面、又は第一から第六のpn接合が内部に形成された単結晶又は多結晶半導体領域表面を全面的に覆うように導電性金属膜を形成する工程が含まれる半導体装置の製造方法。

27. 支持基板から絶縁膜で分離された単結晶半導体領域表面にMOS電界効果型トランジスタが形成された半導体装置において、前記トランジスタのソース拡散層は前記トランジスタのソース電極と接続された第一の導電型を有する第一の不純物領域、側面を少なくとも第一の導電型を有する拡散層で囲まれ、上記第一の不純物領域底部に構成された第二の導電型を有する第二の不純物領域を有し、該第二の不純物領域は再結合中心として作用することを特徴とする半導体装置。

28. 請求の範囲第27項記載の半導体装置において、上記再結合中心は転位、又は結晶粒界、あるいは非晶質構造に基づくことを特徴とする半導体装置。

29. 請求の範囲第27項記載の半導体装置において、上記第二の不純物領域は高不純物濃度で構成されることを特徴とする半導体装置。

30. 請求の範囲第27項記載の半導体装置において、上記第一の不純物領域は多結晶、あるいは非晶質層で構成されることを特徴とする半導体装置。

31. 請求の範囲第27項記載の半導体装置において、上記第二の不純物領域の他の側面には第一の導電型を有する不純物領域が配置されて構成されることを特徴とする半導体装置。

32. 請求の範囲第28項記載の半導体装置において、上記第二の不純物領域の底部には第一の導電型を有する不純物領域が配置されて構成されることを特徴とする半導体装置。

33. 支持基板から絶縁膜で分離された単結晶半導体領域表面に第一のトランジスタと第二のトランジスタとからなる相補型MOS電界効果型トランジスタが形成された半導体装置において、上記第一のトランジスタのソース拡散層は上記第一のトランジスタのソース電極と接続された第一の導電型を有する第一の不純物領域、側面を少なくとも第一の導電型を有する拡散層で囲まれ、上記第一の不純物領域底部に構成された第二の導電型を有する第二の不純物領域を有し、該第二の不純物領域は再結合中心として作用し、上記第二のトランジスタのソース拡散層は上記第二のトランジスタのソース電極と接続された第二の導電型を有する第三の不純物領域、側面を少なくとも第二の導電型を有する拡散層で囲まれ、上記第三の不純物領域底部に構成された第一の導電型を有する第四の不純物領域を有し、該第四の不純物領域は再結合中心として作用することを特徴とする半導体装置。

34. 請求の範囲第27乃至33項のいずれか一つに記載の半導体装置において、上記トランジスタの一端のノードに容量素子が接続されて、一単位の記憶装置を構成することを特徴とする半導体装置。

35. 請求の範囲第33項に記載の半導体装置において、上記第一のトランジスタと第二のトランジスタが互いに接続されて一対をなし、二対で一単位の記憶装置を構成することを特徴とする半導体装置。

36. 請求の範囲第27乃至33項のいずれか一つに記載の半導体装置は、論理回路装置に用いられることを特徴とする半導体装置。

37. 請求の範囲第27乃至33項のいずれか一つに記載の半導体装置は、非同期型伝送モード装置に用いられることを特徴とする半導体装置。

38. 請求の範囲第27乃至35項のいずれか一つに記載の半導体装置は、プロセッサ装置に用いられることを特徴とする半導体装置。

39. 支持基板から絶縁膜で分離された単結晶半導体領域表面にMOS電界効果型トランジスタが形成された半導体装置において、上記トランジスタのソース拡散層は上記トランジスタのソース電極と接続された高濃度不純物領域と、該高濃度不純物領域に隣接した低濃度不純物領域よりなり、該低濃度不純物領域内部には再結合中心として作用する再結合中心領域が構成されることを特徴とする半導

体装置。

40. 支持基板から絶縁膜で分離された単結晶半導体領域表面に第一のトランジスタと第二のトランジスタとからなる相補型MOS電界効果型トランジスタが形成された半導体装置において、上記第一のトランジスタのソース拡散層は上記第一のトランジスタのソース電極と接続された第一の導電型を有する第一の高濃度不純物領域と、該第一の高濃度不純物領域に隣接した第一の導電型を有する第一の低濃度不純物領域で構成され、上記第一の不純物領域底部に構成された第二の導電型を有する第二の不純物領域を有し、且つ第二のトランジスタのソース拡散層は第二のトランジスタのソース電極と接続された第二の導電型を有する第二の高濃度不純物領域と、該第二の高濃度不純物領域に隣接した第二の導電型を有する第二の低濃度不純物領域で構成され、上記第一及び第二の低濃度不純物領域内部には再結合中心として作用する再結合中心領域が構成されることを特徴とする半導体装置。

41. 請求の範囲第39又は40項に記載の半導体装置において、上記低濃度不純物領域は上記高濃度不純物領域下部に位置し、上記絶縁膜と接するごとく構成され、上記再結合中心領域も該絶縁膜と接して構成されることを特徴とする半導体装置。

42. 請求の範囲第39乃至40項のいずれか一つに記載の半導体装置において、上記低濃度不純物領域の最大不純物濃度は $1 \times 10^{15} / \text{cm}^3$ 以上、 $1 \times 10^{18} / \text{cm}^3$ 以下であることを特徴とする半導体装置。

43. 請求の範囲第39、40項に記載の半導体装置において、上記再結合中心は転位、又は結晶粒界、あるいは非晶質構造に基づくことを特徴とする半導体装置。

44. 請求の範囲第39、40項のいずれか一つに記載の半導体装置において、上記トランジスタの一端のノードに容量素子が接続されて、一単位の記憶装置を構成することを特徴とする半導体装置。

45. 請求の範囲第40項に記載の半導体装置において、上記第一のトランジスタと第二トランジスタが互いに接続されて一対をなし、二対で一単位の記憶装置を構成することを特徴とする半導体装置。

46. 請求の範囲第39, 40項のいずれか一つに記載の半導体装置は、論理回路装置に用いられることを特徴とする半導体装置。

47. 請求の範囲第39, 40項のいずれか一つに記載の半導体装置は、非同期型伝送モード装置に用いられることを特徴とする半導体装置。

5 48. 請求の範囲第39, 40項のいずれか一つに記載の半導体装置は、プロセッサ装置に用いられることを特徴とする半導体装置。

FIG. 1 PRIOR ART

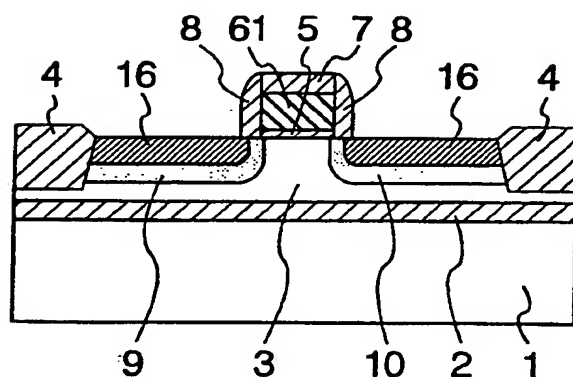


FIG. 2 PRIOR ART

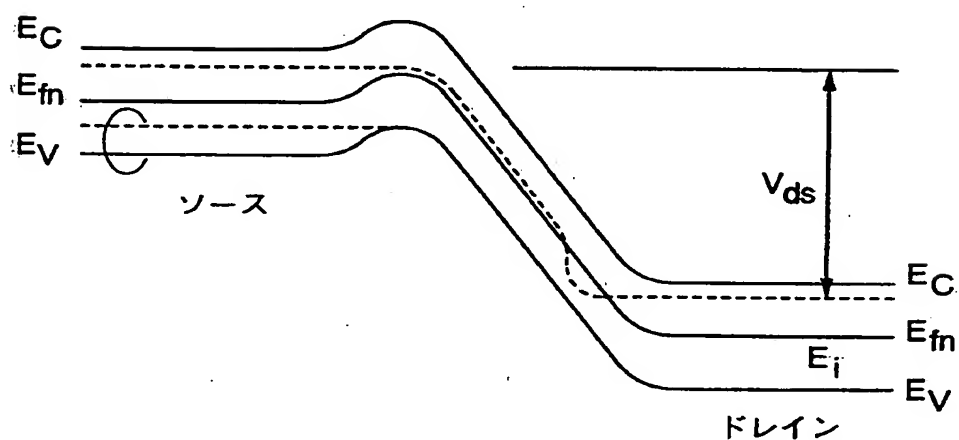


FIG. 3

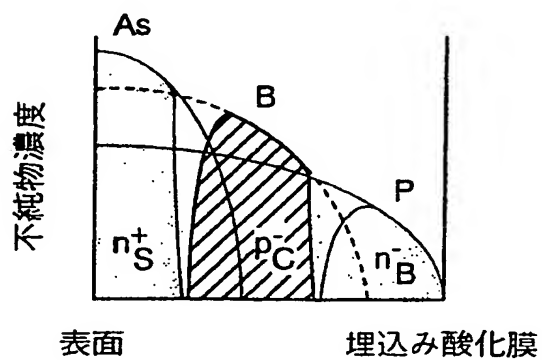


FIG. 4A

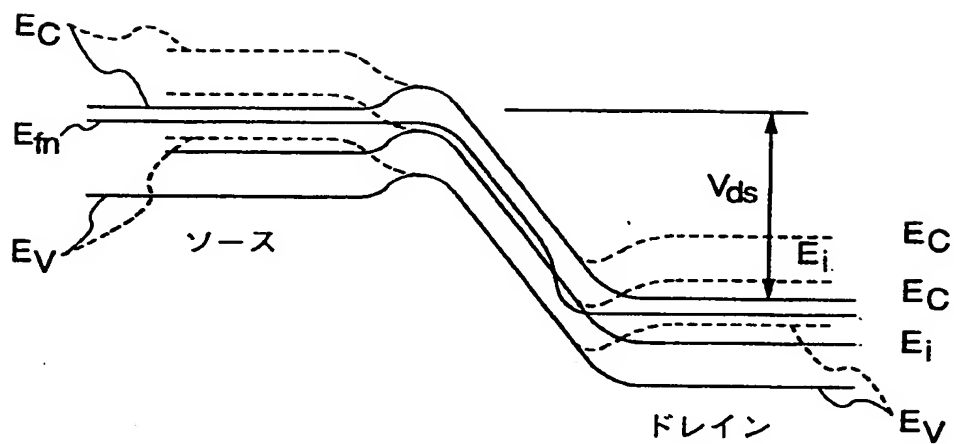
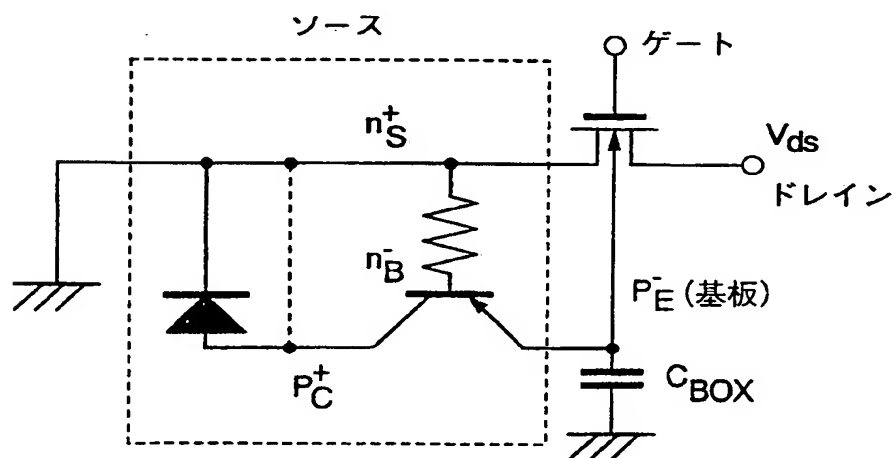


FIG. 4B



3 / 24

FIG. 5A

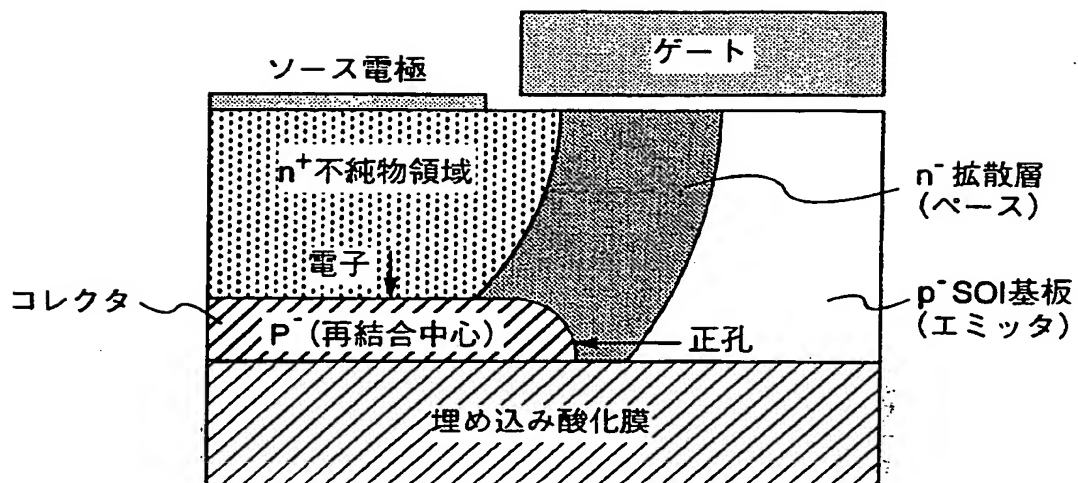


FIG. 5B

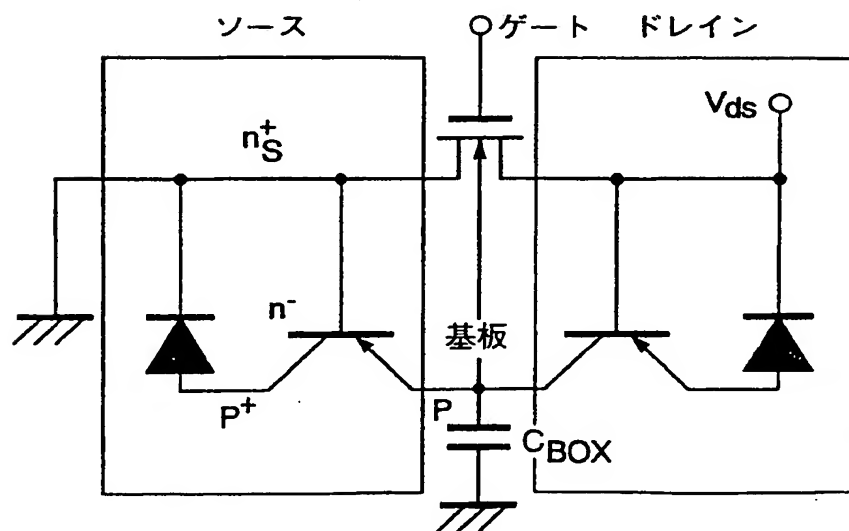


FIG. 6A

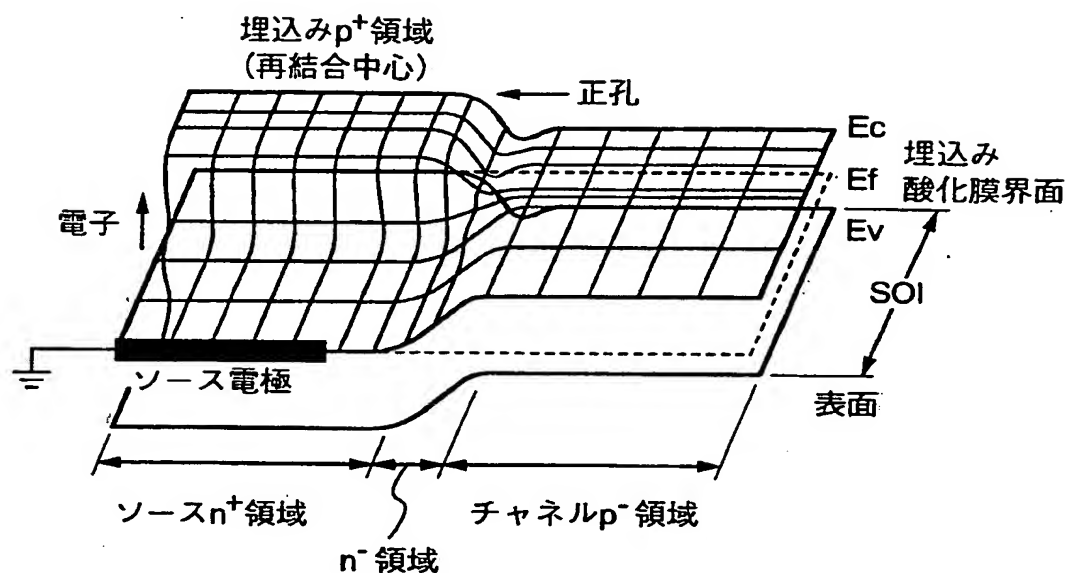
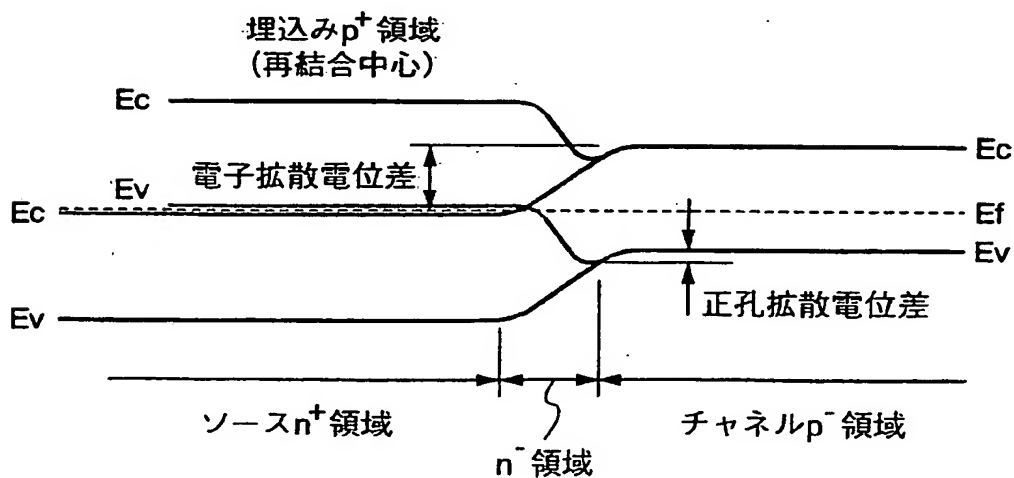


FIG. 6B



5/24

FIG. 7

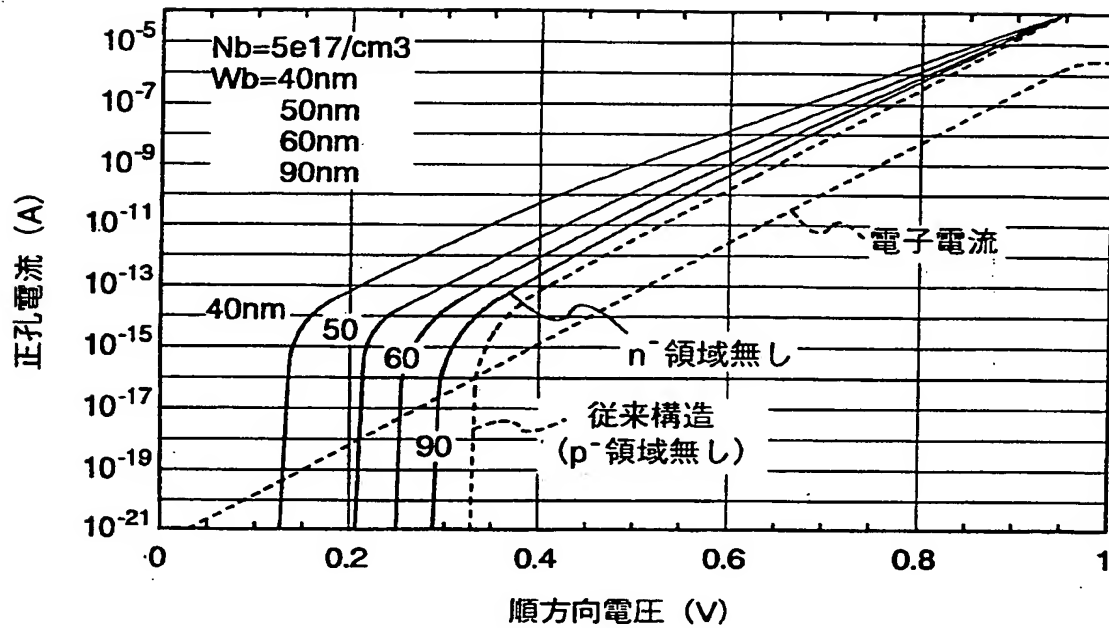
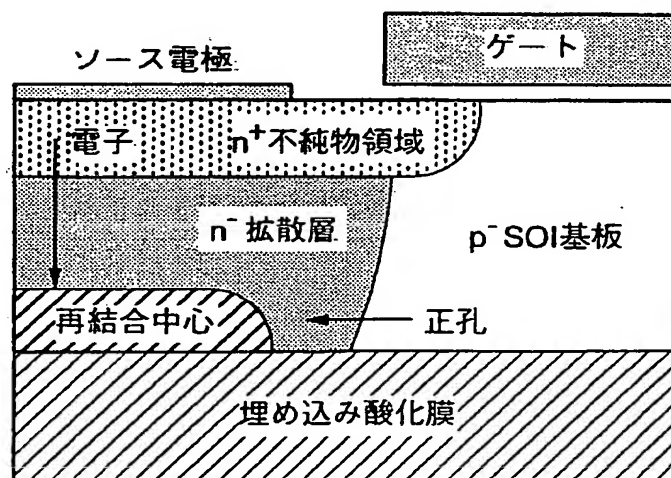


FIG. 8



6/24

FIG. 9

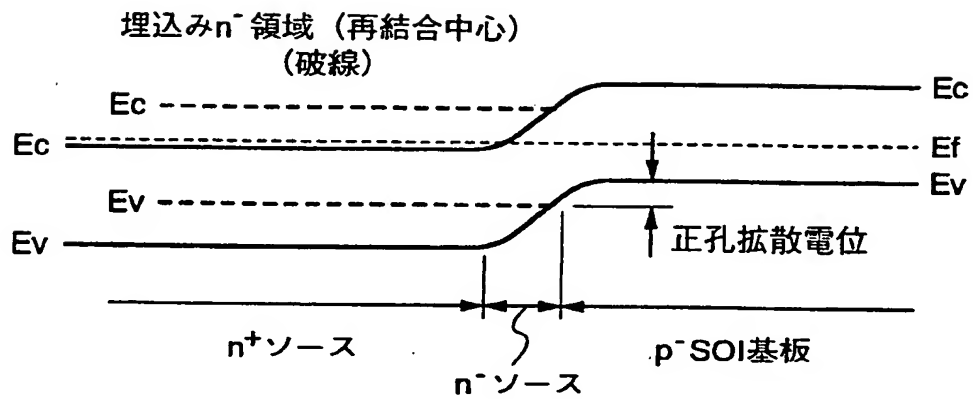
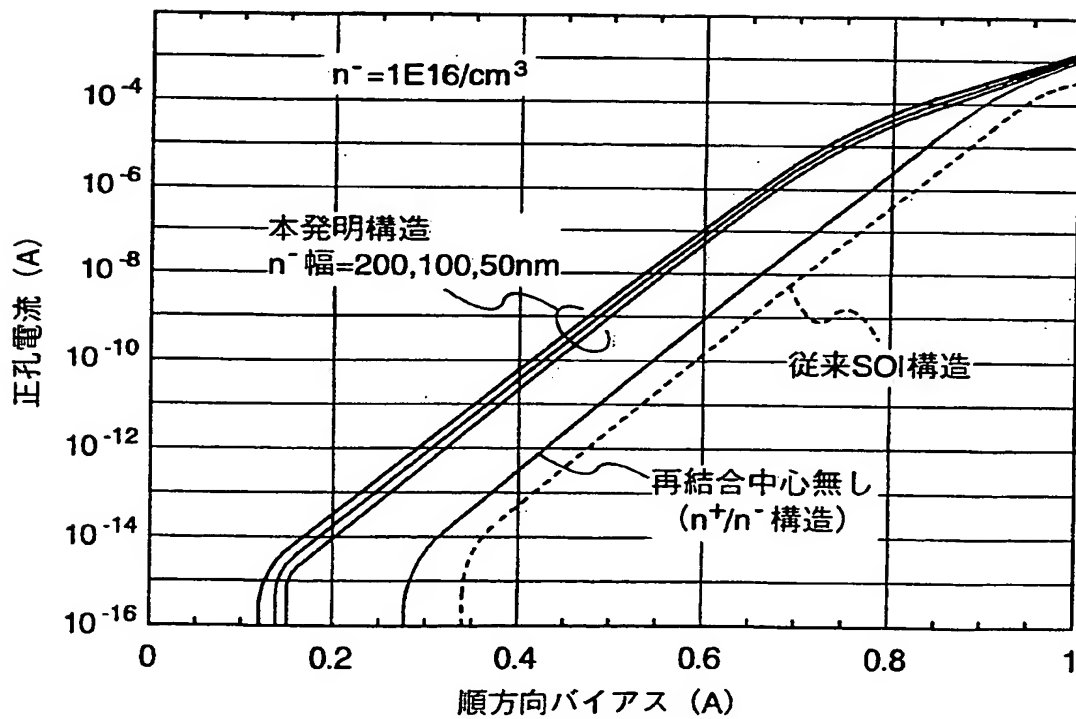


FIG. 10



7/24

FIG. 11

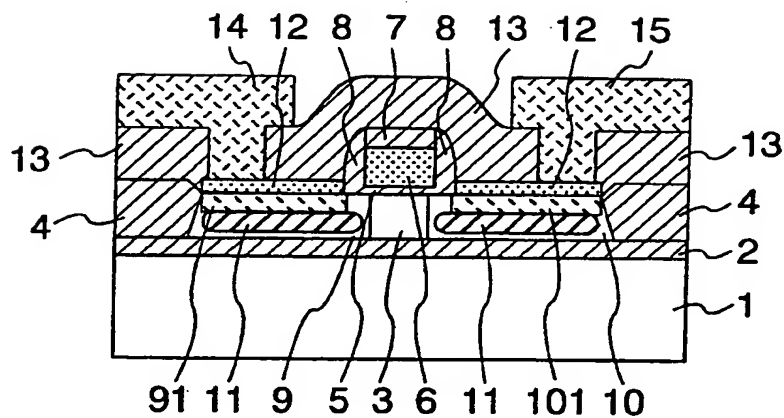


FIG. 12

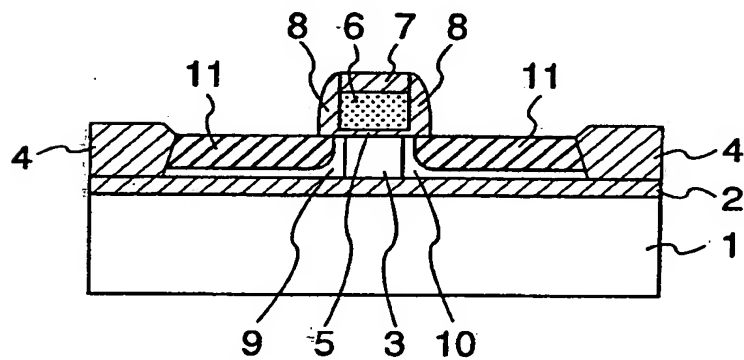


FIG. 13

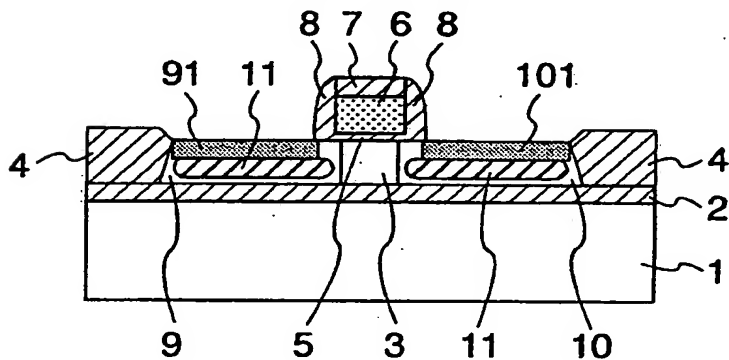
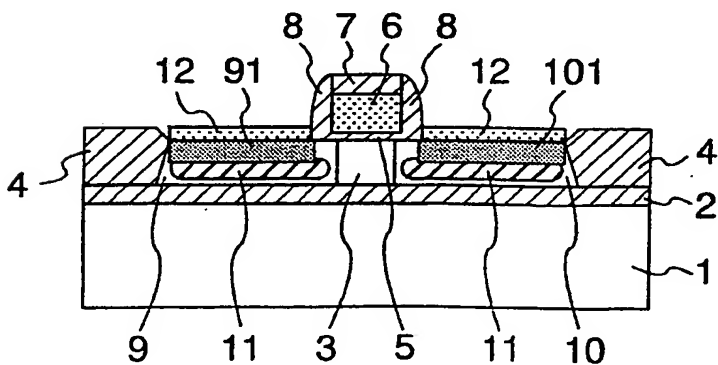


FIG. 14



8/24

FIG. 15

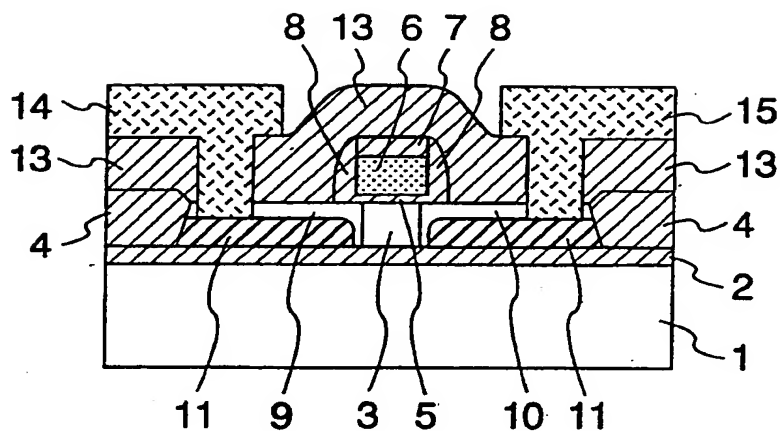


FIG. 16

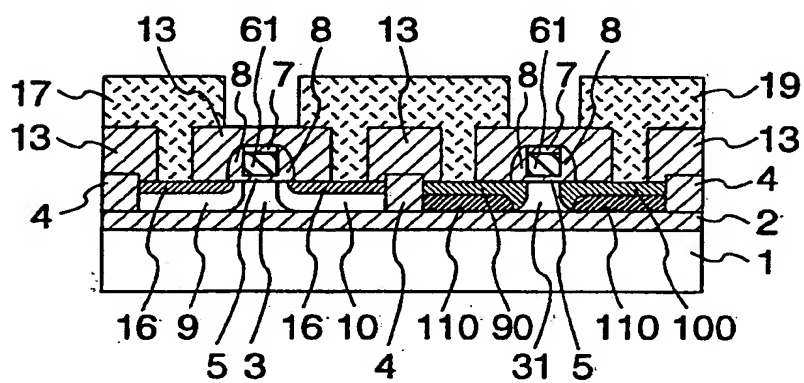
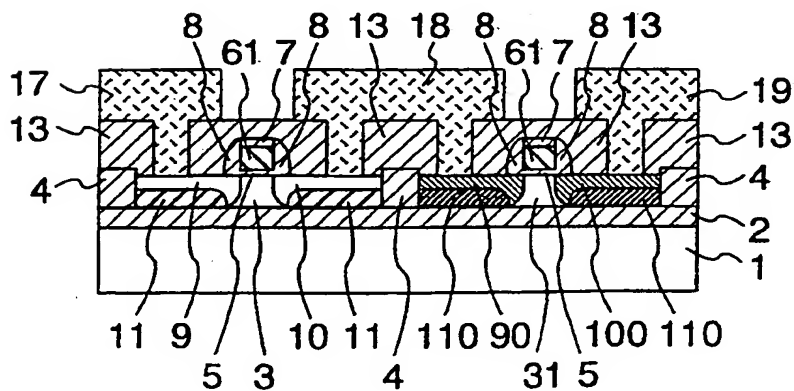


FIG. 17



9/24

FIG. 18

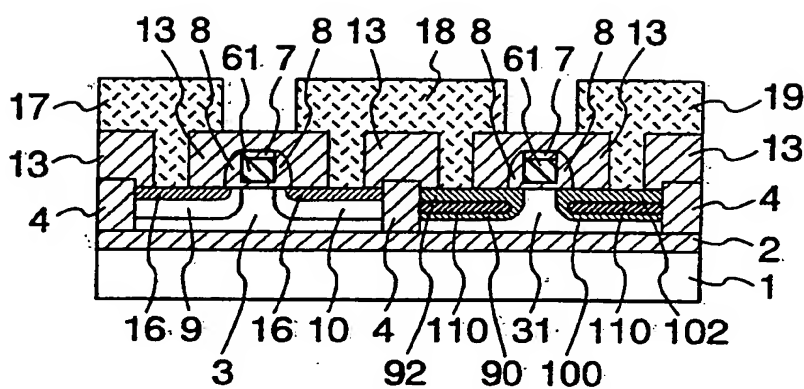
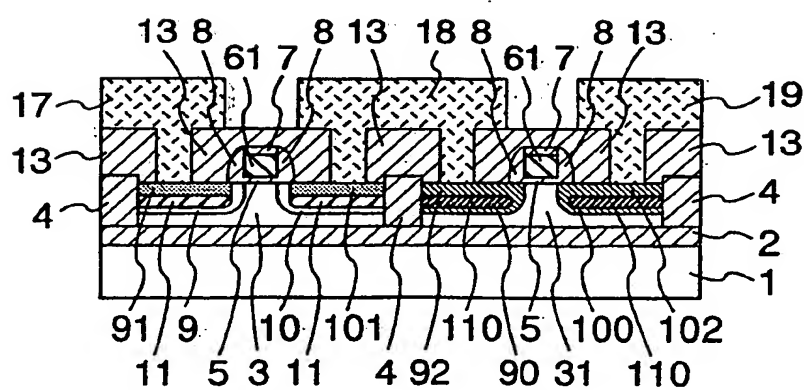


FIG. 19



11 / 24

FIG. 22

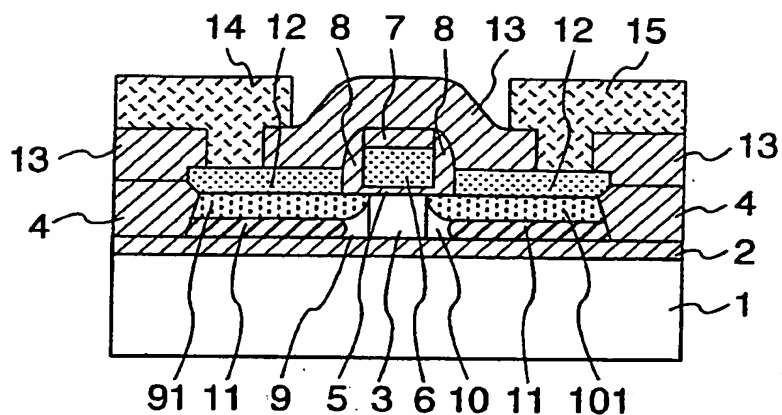


FIG. 23

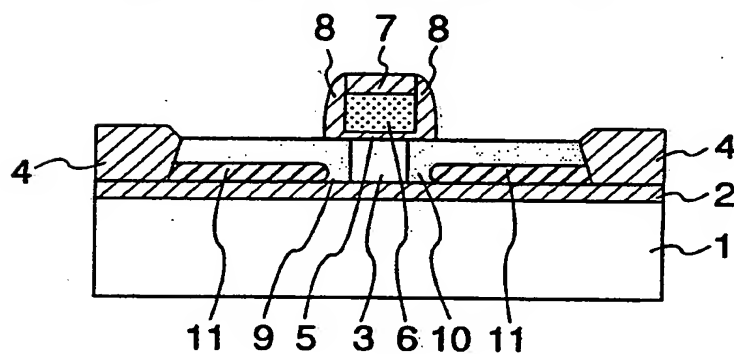


FIG. 24

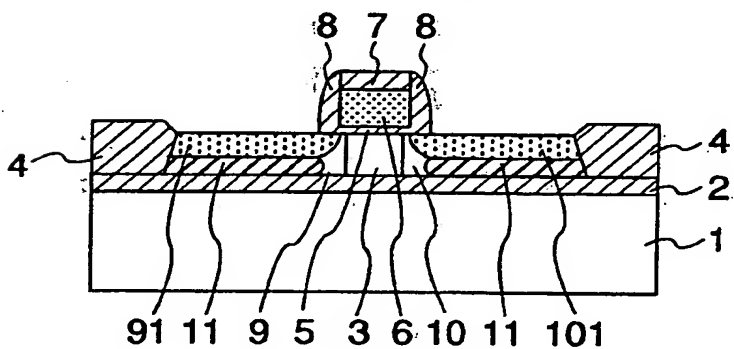
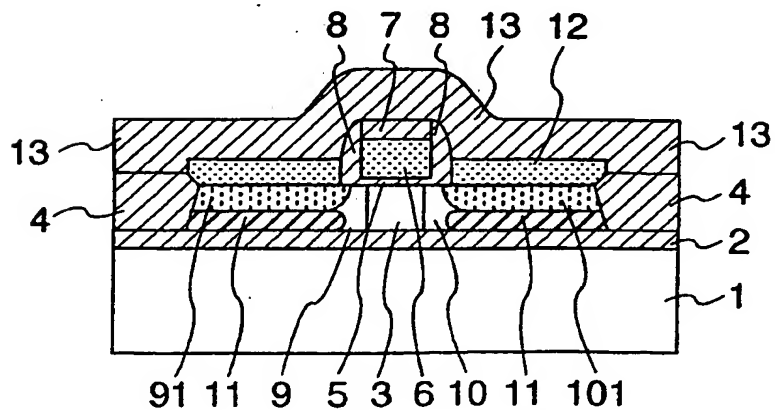


FIG. 25



12 / 24

FIG. 26

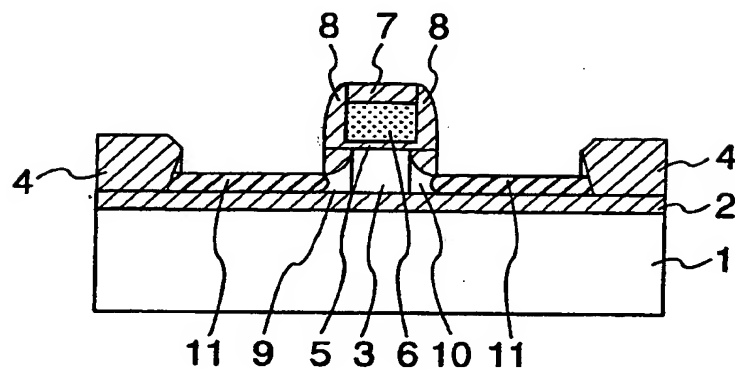


FIG. 27

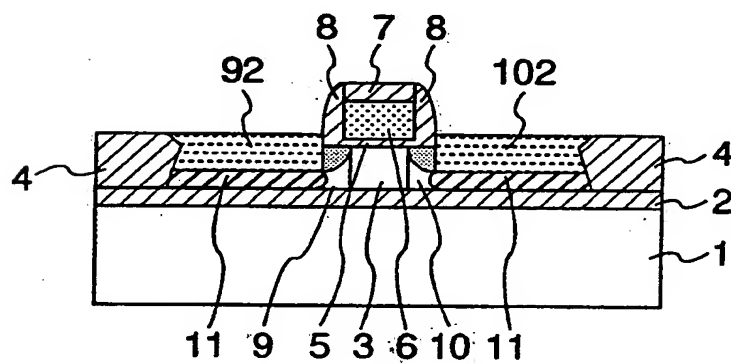
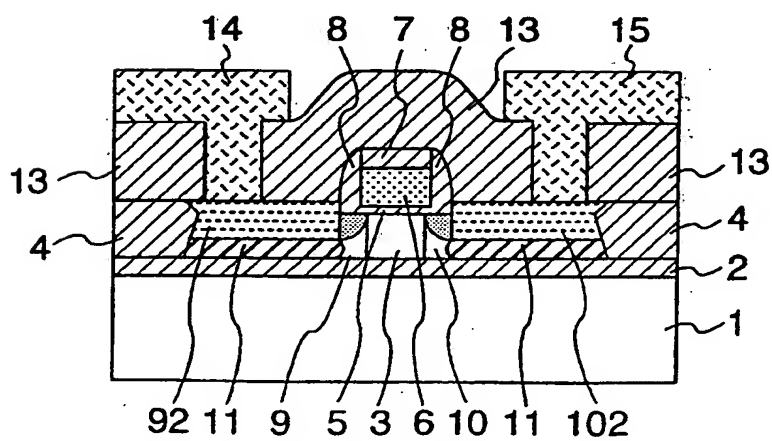


FIG. 28



13 / 24

FIG. 29

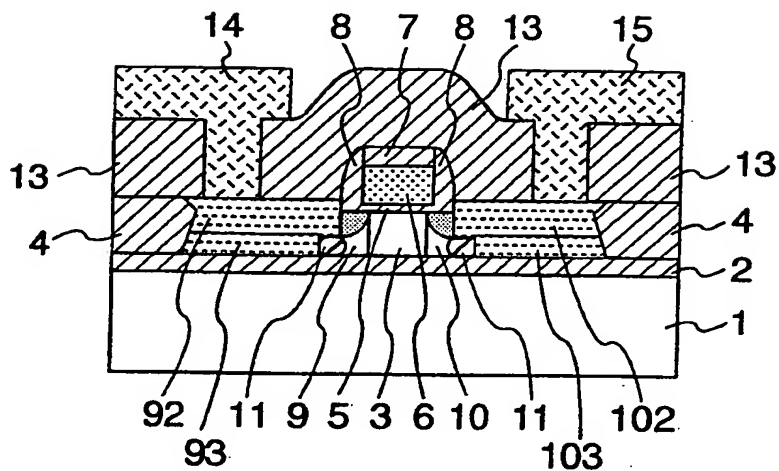


FIG. 30

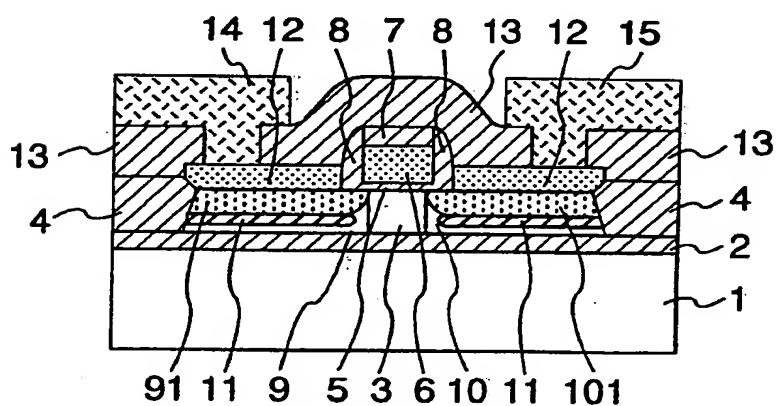
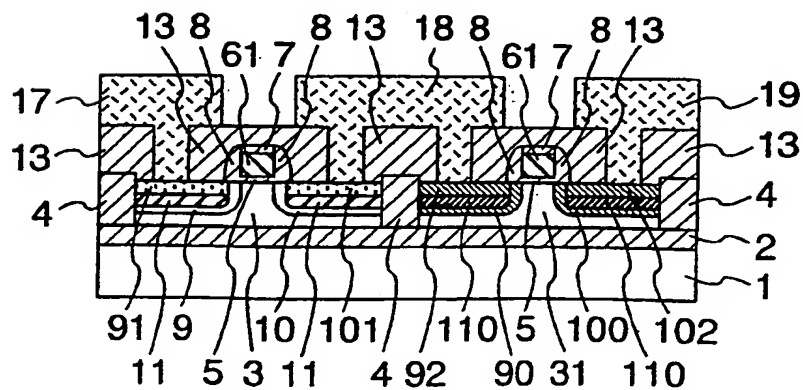


FIG. 31



15/24

FIG. 34

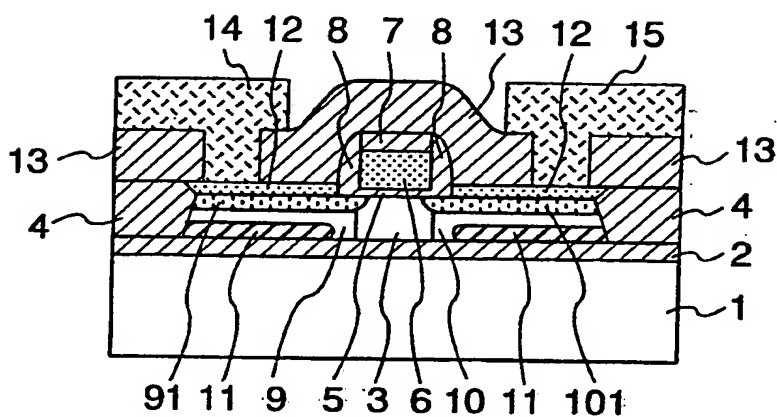


FIG. 35

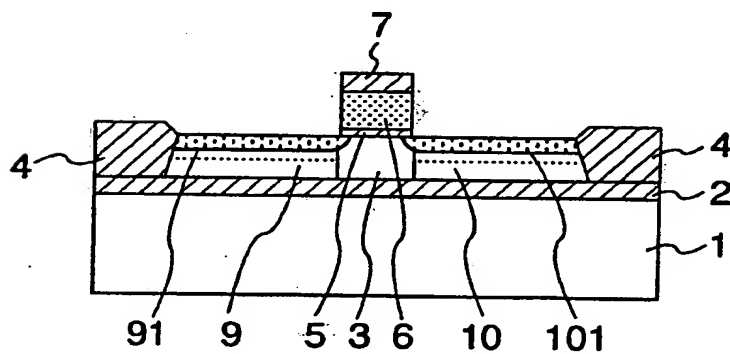
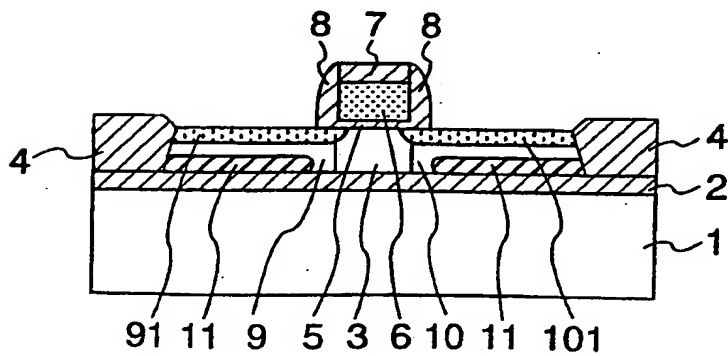


FIG. 36



16/24

FIG. 37

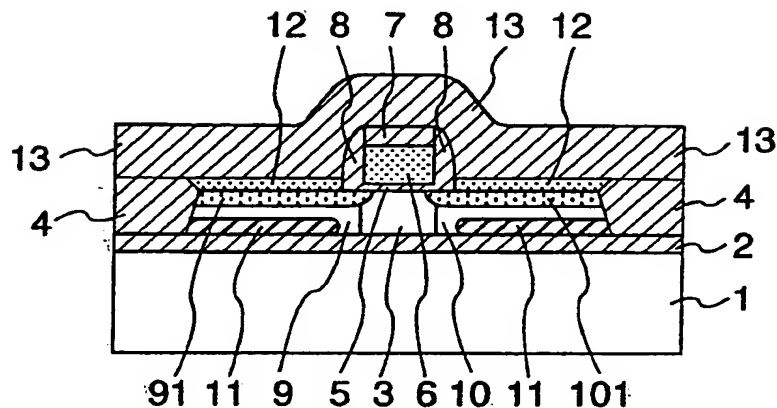


FIG. 38

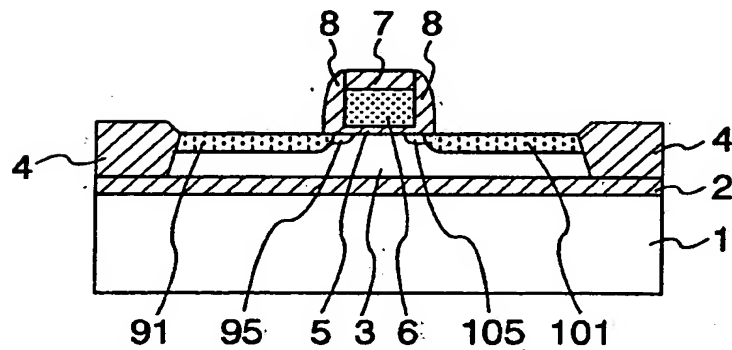
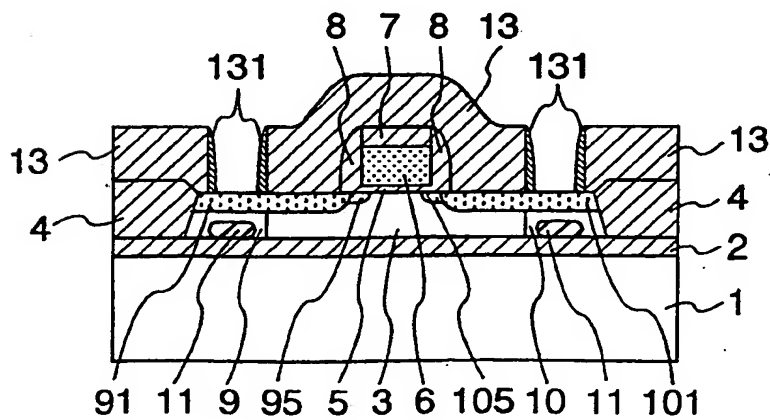


FIG. 39



17/24

FIG. 40

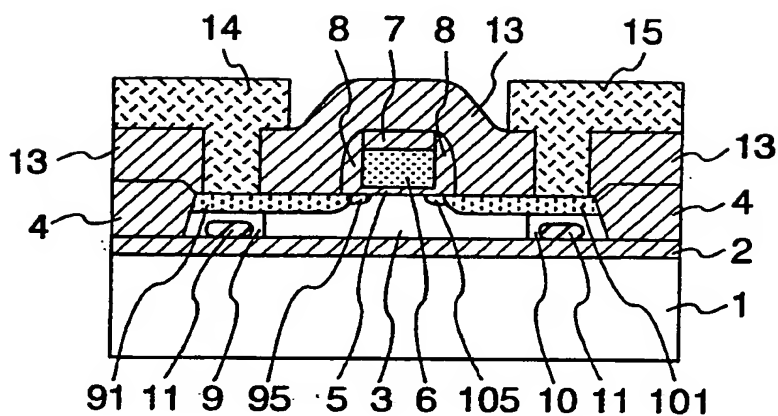


FIG. 41

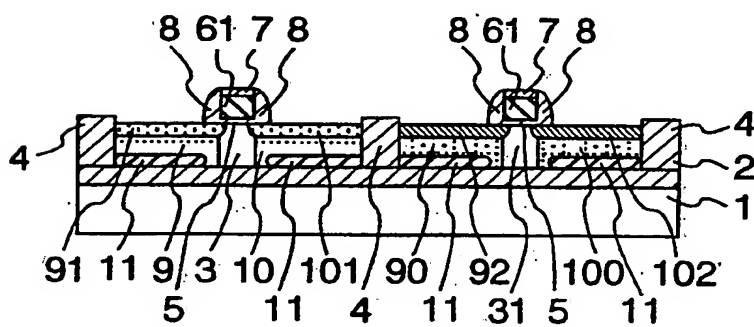
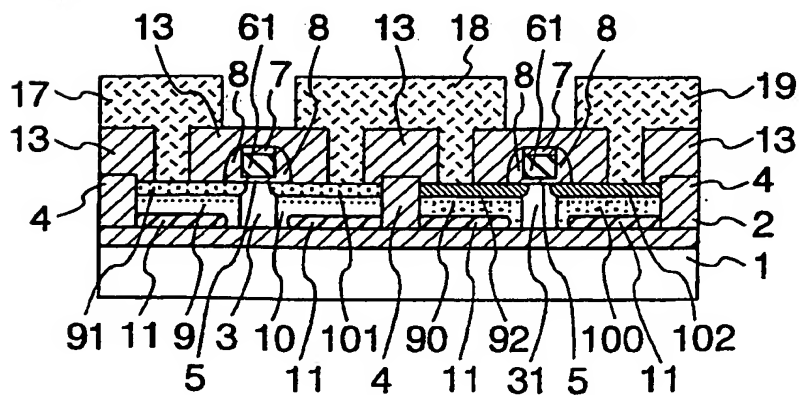


FIG. 42



18/24

FIG. 43

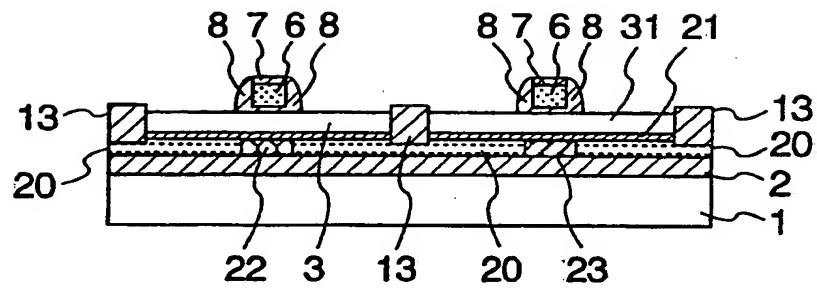
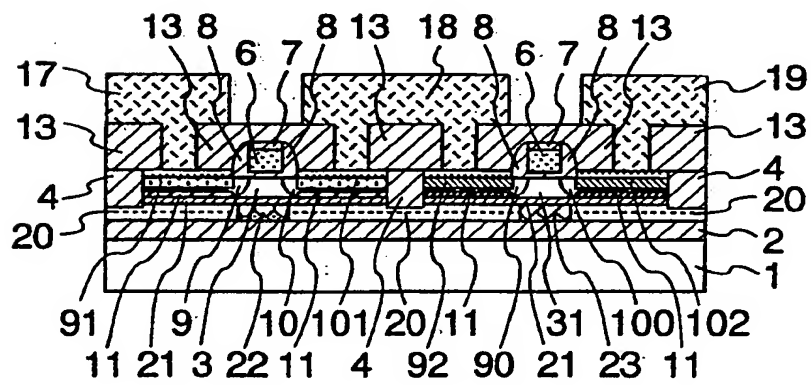


FIG. 44



19/24

FIG. 45A

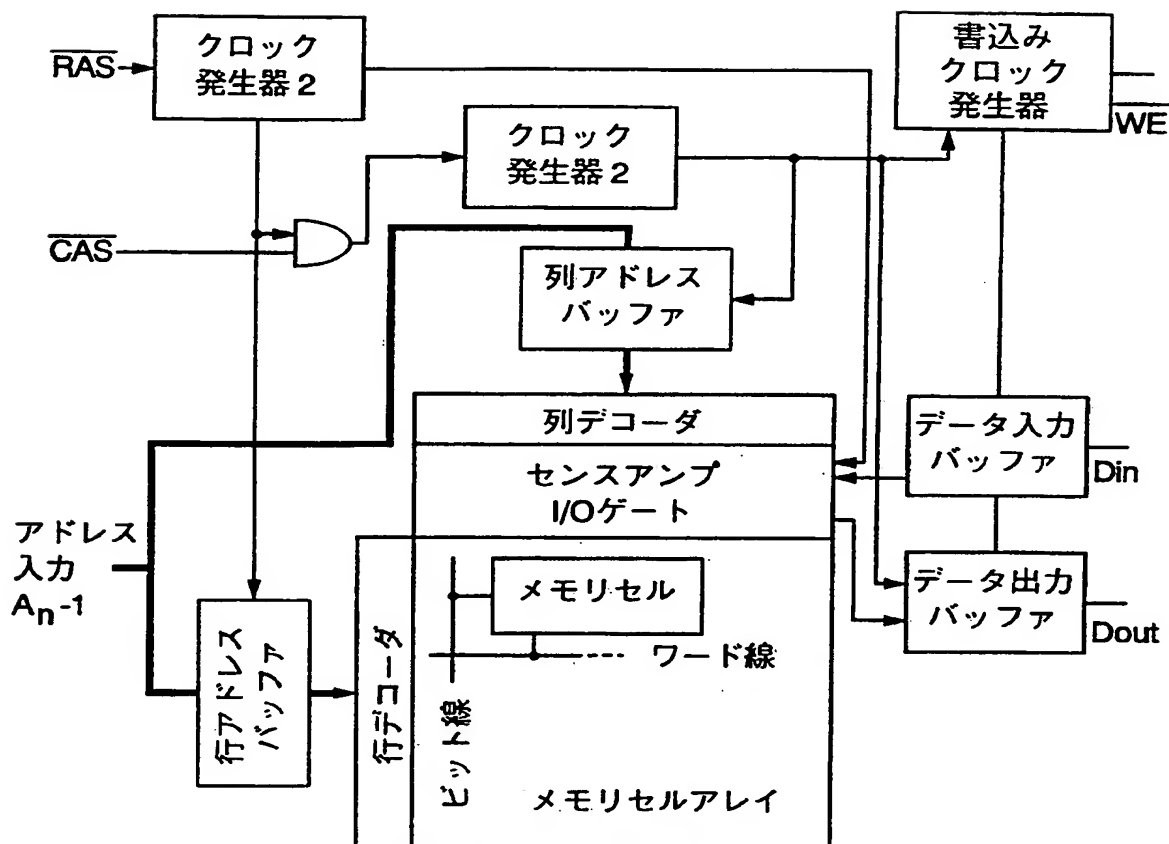
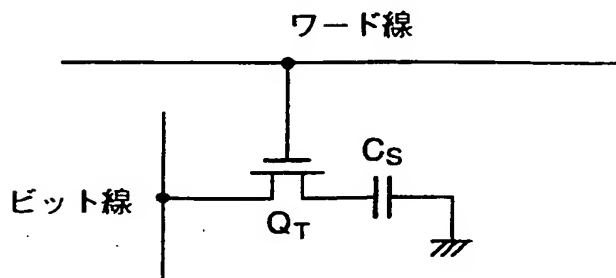
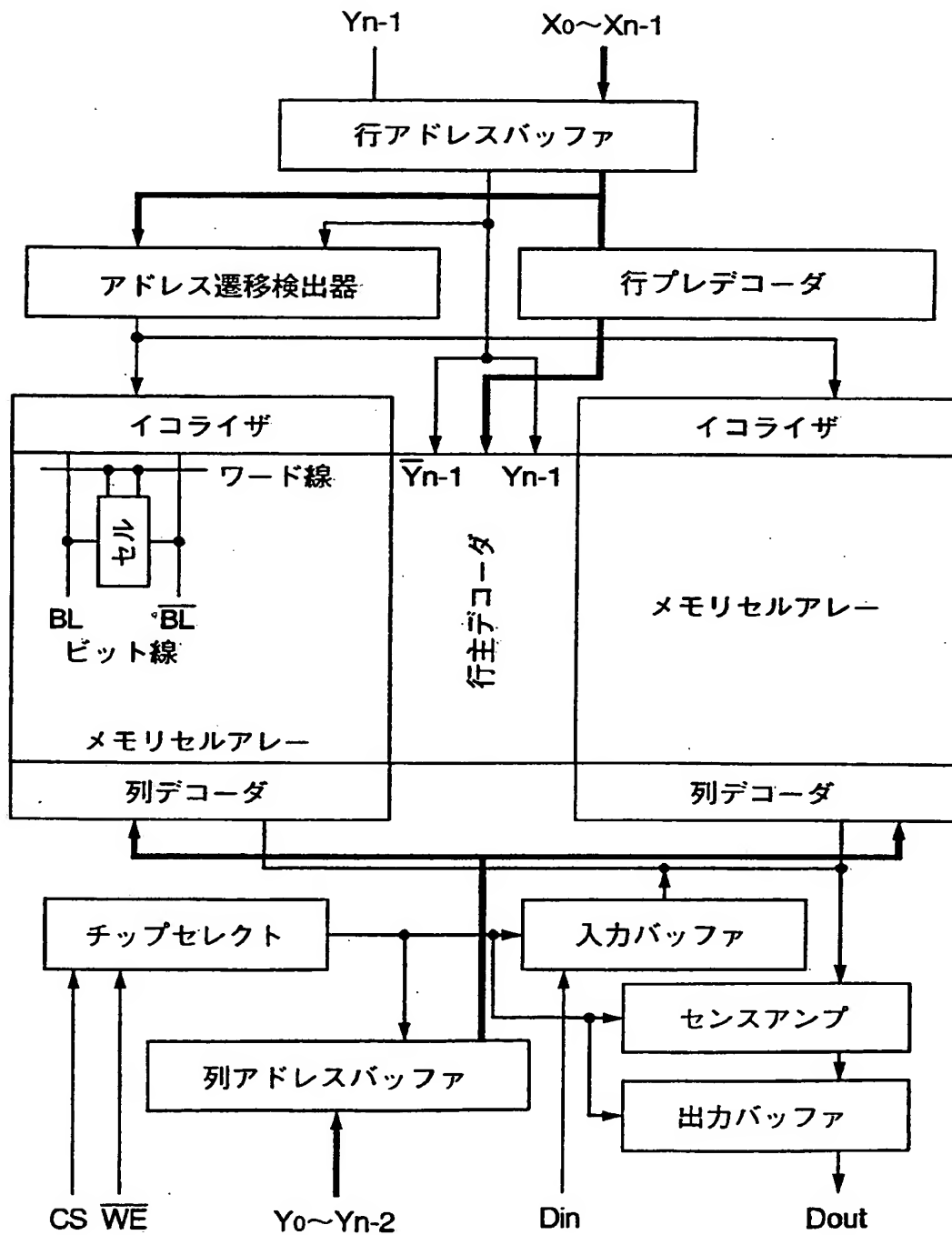


FIG. 45B



20/24

FIG. 46A



21/24

FIG. 46B

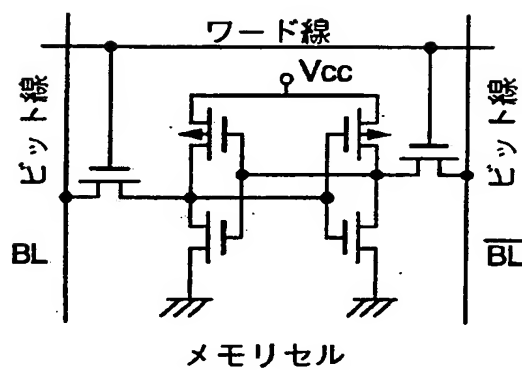


FIG. 47

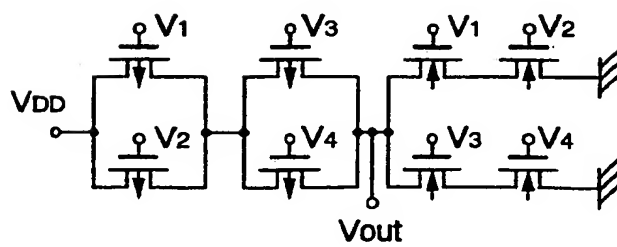
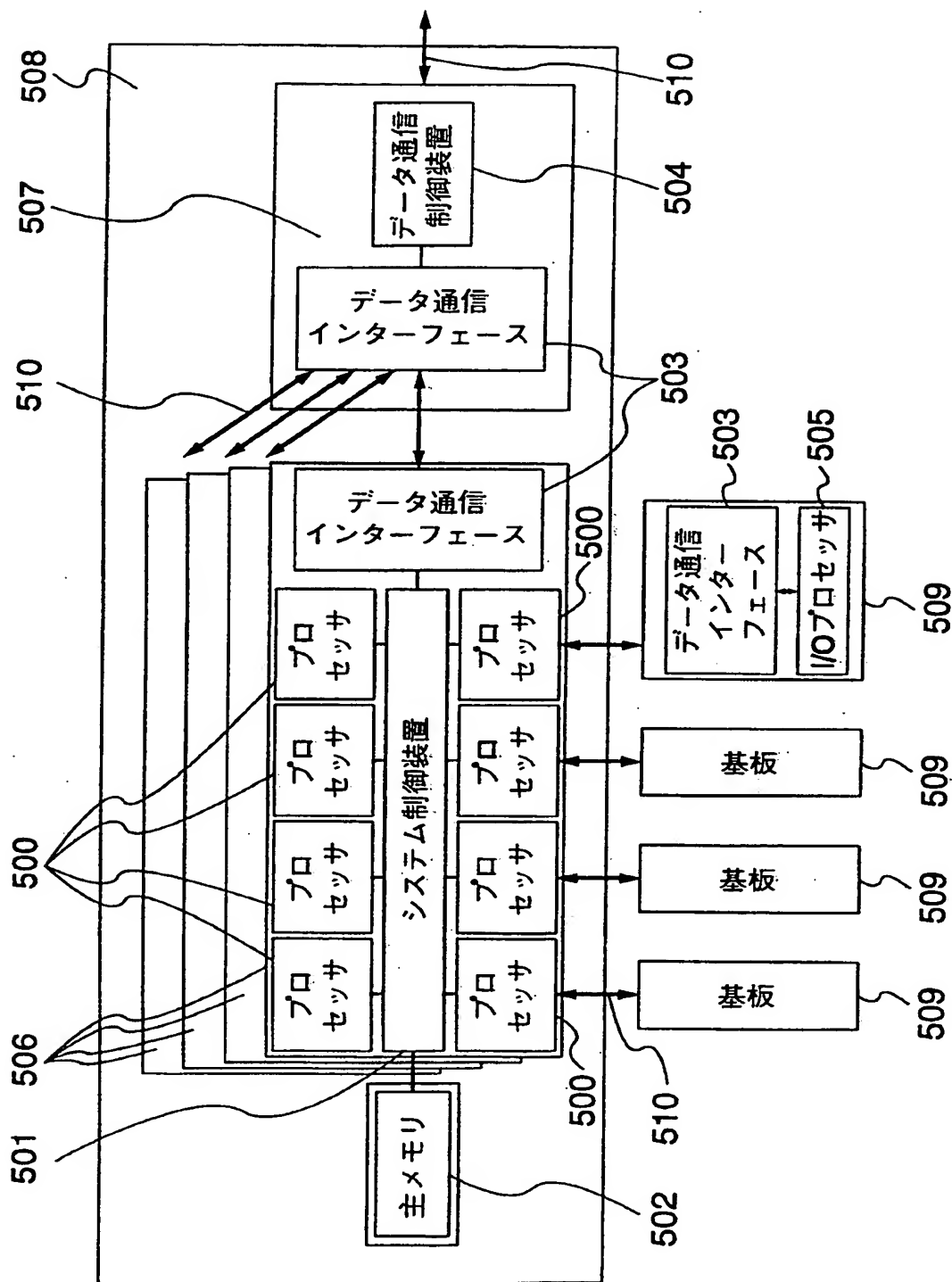


FIG. 48



23/24

FIG. 49

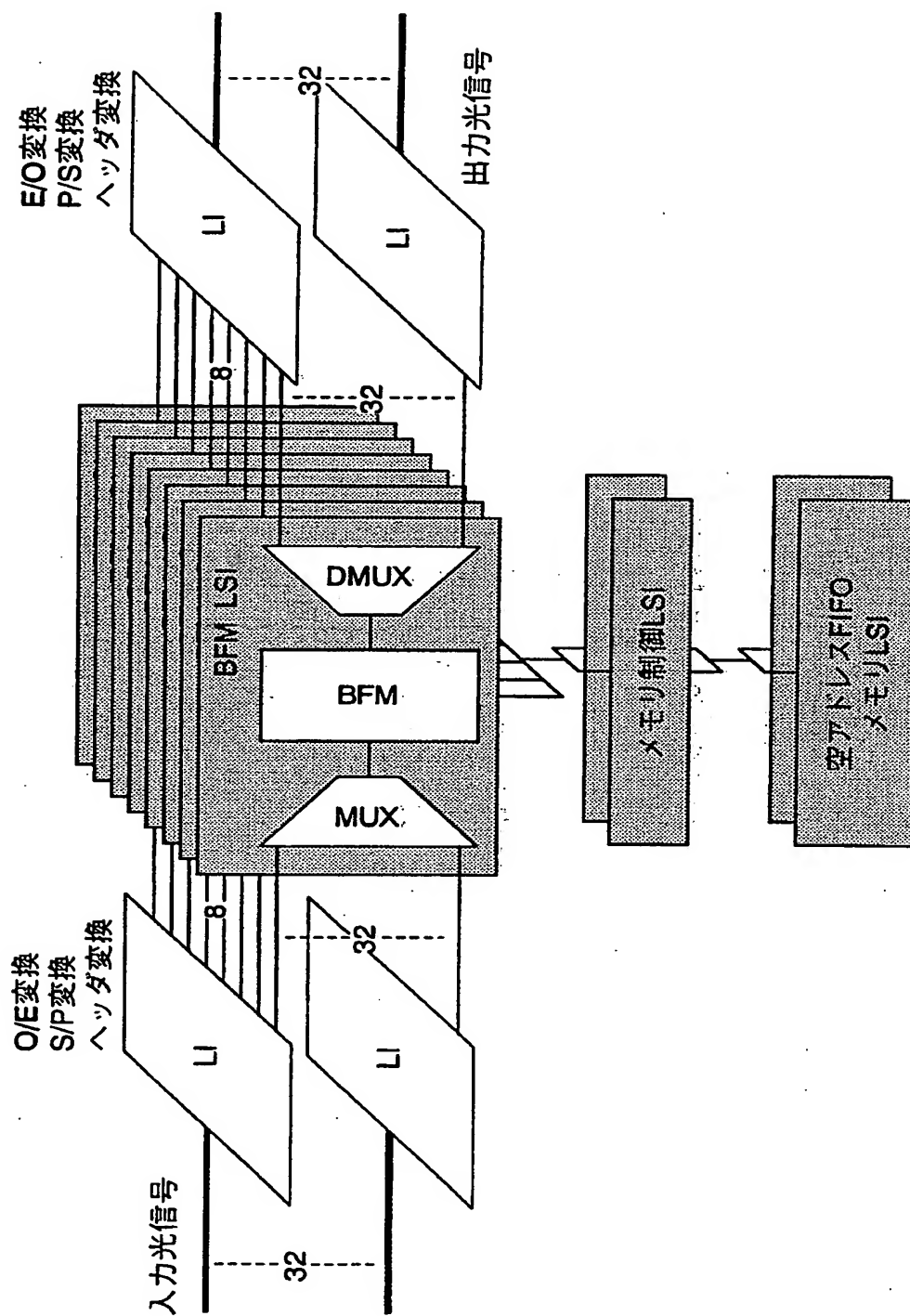


FIG. 50

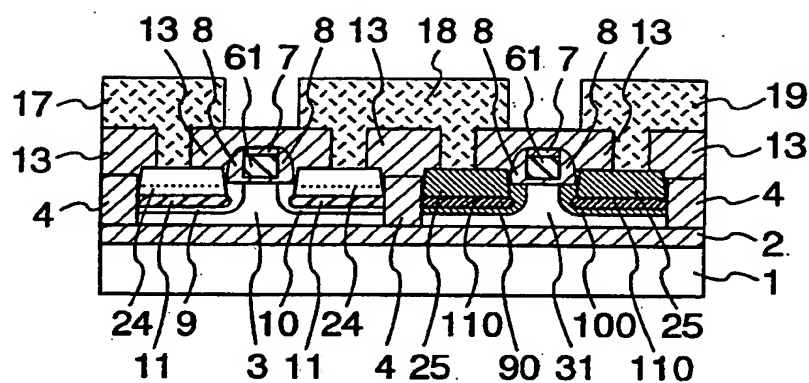
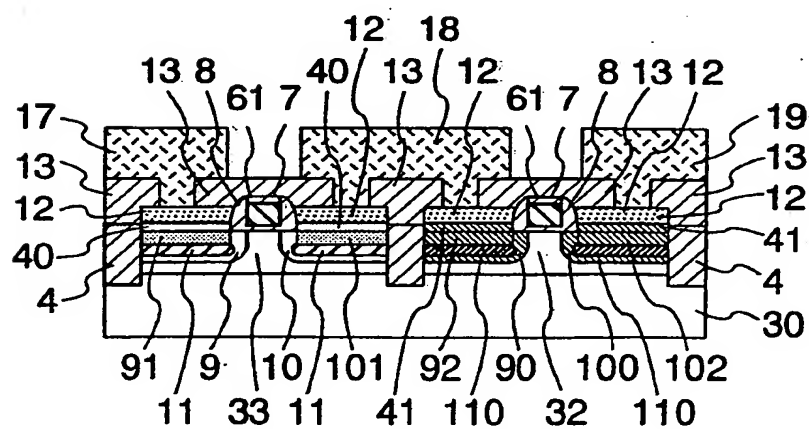


FIG. 51



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP96/02184

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl⁶ H01L29/786

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl⁶ H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926 - 1996

Kokai Jitsuyo Shinan Koho 1971 - 1996

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
EY	JP, 8-213622, A (Toshiba Corp.), August 20, 1996 (20. 08. 96), Claims 1 to 30; paragraphs 39 to 280; Figs. 1 to 46 (Family: none)	27 - 48
A	JP, 6-291142, A (Sony Corp.), October 18, 1994 (18. 10. 94), Claims 1 to 6; paragraph 32; Figs. 1 to 2 (Family: none)	1 - 26
A	JP, 4-313242, A (Sony Corp.), November 5, 1992 (05. 11. 92), Claims 1 to 2; paragraphs 8 to 13; Figs. 1, 3 (Family: none)	1 - 48
A	JP, 64-89464, A (Toshiba Corp.), April 3, 1989 (03. 04. 89), Claims 1 to 4; page 2, lower right column, line 16 to page 3, upper left column, line 4 (Family: none)	1 - 48



Further documents are listed in the continuation of Box C.



See patent family annex.

•

Special categories of cited documents:

"A"

document defining the general state of the art which is not considered to be of particular relevance

"E"

earlier document but published on or after the international filing date

"L"

document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O"

document referring to an oral disclosure, use, exhibition or other means

"P"

document published prior to the international filing date but later than the priority date claimed

"T"

later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X"

document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y"

document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&"

document member of the same patent family

Date of the actual completion of the international search

October 21, 1996 (21. 10. 96)

Date of mailing of the international search report

November 5, 1996 (05. 11. 96)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP96/02184

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 62-271472, A (Toshiba Corp.), November 25, 1987 (25. 11. 87), Claim; page 4, upper right column, lines 9 to 20 (Family: none)	13
A	Kiyoo Ito "Advanced Electronics I-9, VLSI memory", November 5, 1994 (05. 11. 94), Baifukan, p. 337	17, 37, 47

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.⁶ H01L29/786

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.⁶ H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年

日本国公開実用新案公報 1971-1996年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
EY	JP, 8-213622, A (株式会社東芝) 20. 8月1996 (20. 08. 96), 特許請求の範囲第1~30項, 第39~280段落, 第1~46図 (ファミリーなし)	27-48
A	JP, 6-291142, A (ソニー株式会社) 18. 10月1994 (18. 10. 94), 特許請求の範囲第1~6項, 第32段落, 第1~2図 (ファミリーなし)	1-26
A	JP, 4-313242, A (ソニー株式会社) 5. 11月1992 (05. 11. 92), 特許請求の範囲第1~2項, 第8~13段落, 第1, 3図 (ファミリーなし)	1-48

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 先行文献ではあるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

21. 10. 96

国際調査報告の発送日

05.11.96

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

土屋 知久 印

4M

9449

電話番号 03-3581-1101 内線 3462

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P, 64-89464, A (株式会社東芝) 3. 4月. 1989 (03. 04. 89), 特許請求の範囲第1~4項, 第2頁右下欄第16行~第3頁左上欄第4行 (ファミリーなし)	1-48
A	J P, 62-271472, A (株式会社東芝) 25. 11月. 1987 (25. 11. 87), 特許請求の範囲, 第4頁右上欄第9~20行 (ファミリーなし)	13
A	伊藤清男「アドバンスト エレクトロニクスI-9 超LSIメモリ」 5. 11月. 1994 (05. 11. 94) 培風館p. 337	17, 37, 47